

(19)

JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07235672 A**

(43) Date of publication of application: **05.09.95**

(51) Int. Cl.

H01L 29/78

(21) Application number: **06022459**

(22) Date of filing: **21.02.94**

(71) Applicant: **MITSUBISHI ELECTRIC CORP**

(72) Inventor: **TAKAHASHI HIDEKI
NISHIHARA SHUSUKE
HARADA MANA
MINATO TADAKURO**

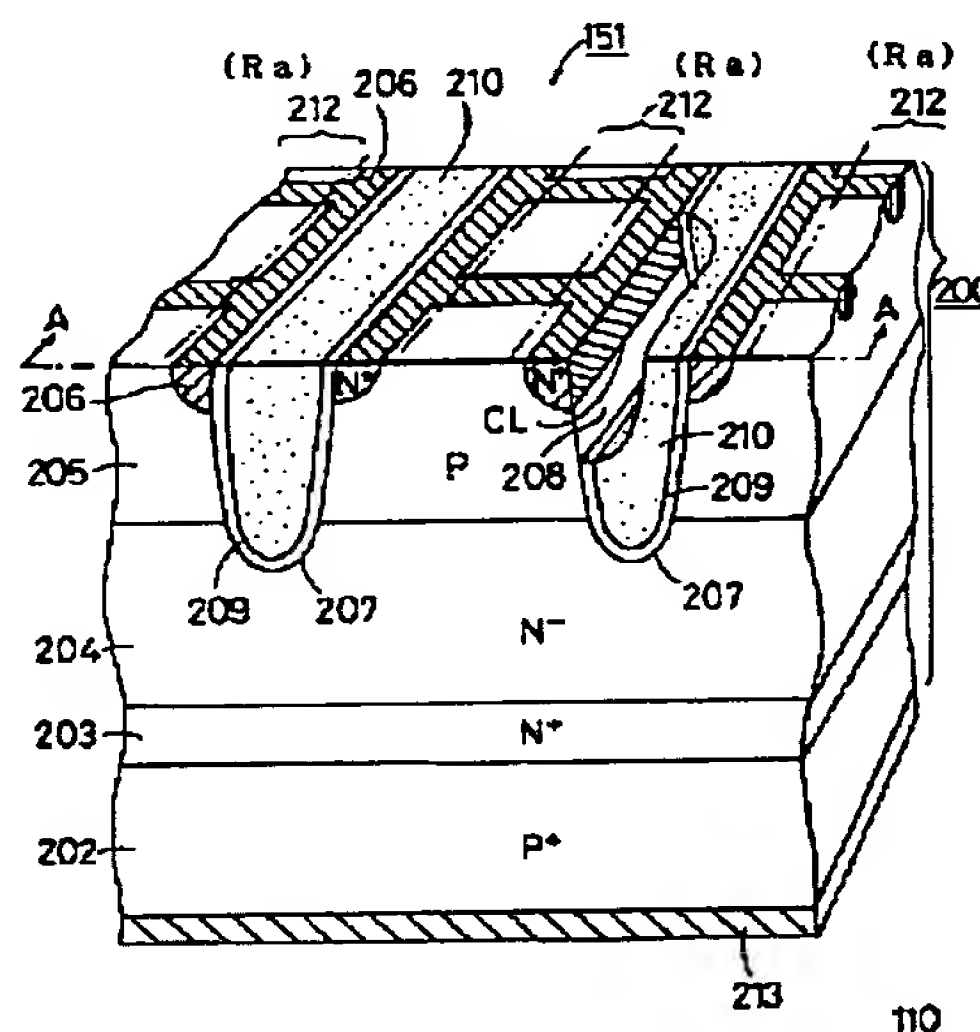
**(54) INSULATED-GATE TYPE SEMICONDUCTOR
DEVICE AND MANUFACTURE THEREOF**

(57) Abstract:

PURPOSE: To make it possible to achieve miniaturization with electric connection being kept between the first main electrode and the third semiconductor layer by exposing the third semiconductor layer in the second region, which is specified at a part of a region that is substantially held with the stripe-shaped third region.

CONSTITUTION: In UMOS-IGBT 110, an N^+ emitter layer 206 is exposed in the ladder shape on the upper main surface of a semiconductor substrate 200 held with a groove 207. Therefore, even if the position of a stripe-shaped region Ra, which is the contact surface of an emitter substrate 212 and the upper main surface of the semiconductor substrate 200, is deviated, the electric contact between the N^+ emitter layer 206 and the emitter electrode 212 is ensured. Furthermore, even at the rectangular exposed surface of a P-base layer 205 surrounded with the exposed surface of the ladder-shaped N emitter layer 206, the electric contact with the emitter electrode 212 is ensured by the same way. Since redundant design is not required in this way, there is the advantage of easy miniaturization of a unit cell.

COPYRIGHT: (C)1995,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-235672

(43)公開日 平成7年(1995)9月5日

(51) Int.Cl.⁸

識別記号

片内整理番号

FI

技術表示箇所

H01L 29/78

HOLL 29/ 78

3 2 1 · V

7514-4M

301 G

3 2 1 W

3 2 1 Q

審査請求 未請求 請求項の数17 OL (全 35 頁)

(21)出願番号

特願平6-22459

(22) 出願日

平成6年(1994)2月21日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 高橋 英樹

福岡市西区今宿東一丁目1番1号 三菱電機株式会社福岡製作所内

(72)発明者 西原 秀典

兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社北伊丹製作所内

(74) 代理人 弁理士 高田 守

最終頁に続く

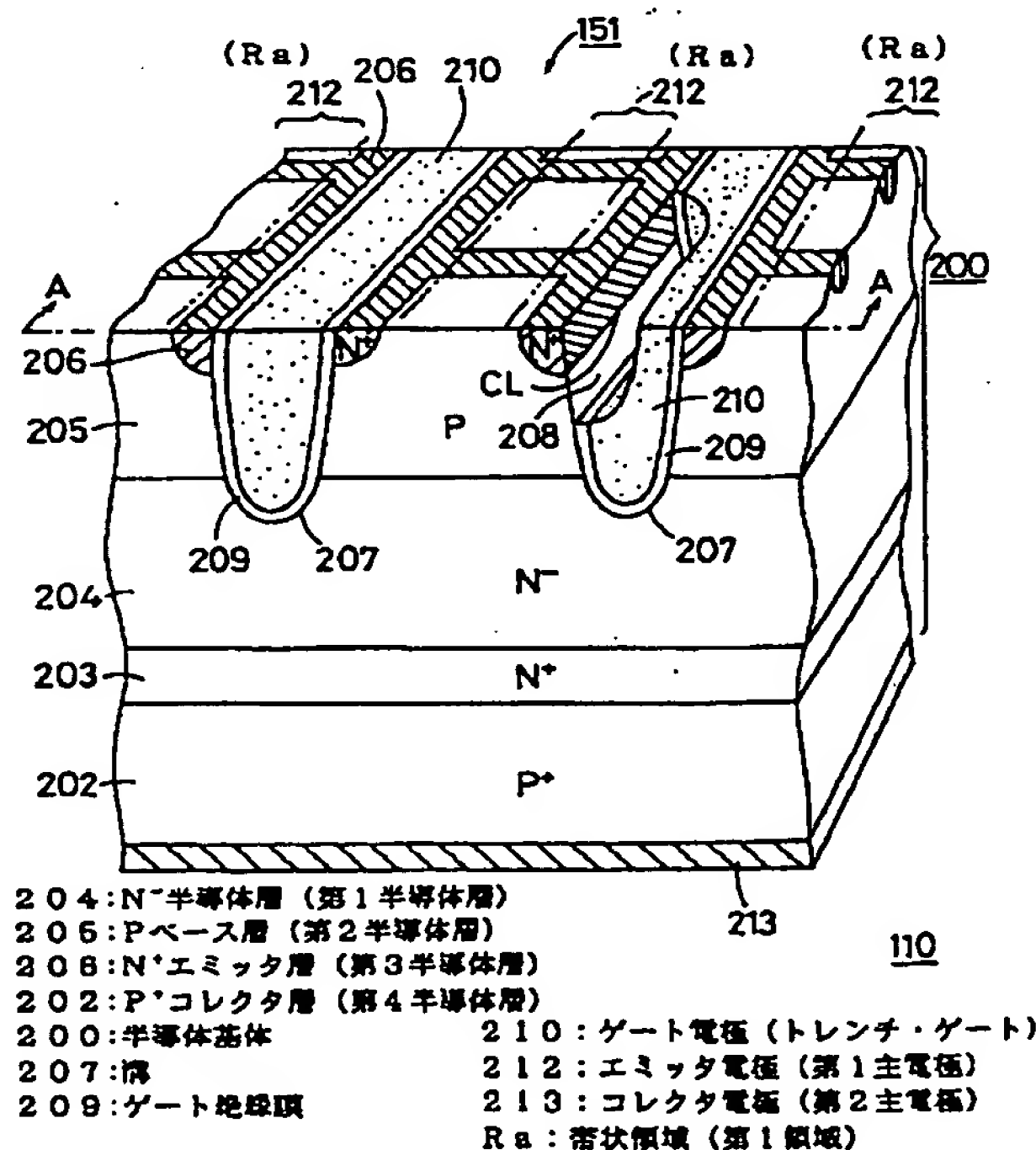
(54) 【発明の名称】 絶縁ゲート型半導体装置およびその製造方法

(57) 【要約】

【目的】 オン電圧を低減する。

【構成】 半導体基体200の上主面には、ゲート電極210が埋め込まれたストライプ状の溝207が形成されており、隣合う溝207に挟まれた半導体基体200の上主面には、N+エミッタ層206が梯子状に露出している。このため、エミッタ電極212との接触面である帯状領域Raの位置がずれても、エミッタ電極212はN+エミッタ層206と確実に接触する。また、梯子状のN+エミッタ層206は、溝207に隣接して形成されているので、チャネル領域208が溝207に沿って途切れなく形成される。

【効果】素子の微細化を行うことが容易であるとともに、微細化がオン電圧の低減に有効に寄与する。



204:N⁻半導體層 (第1半導體層)

206:Pベース層 (第2半導体層)

206:N⁺エミッタ層 (第3半導体層)

202:P'コレクタ層（第4半導体層）

200: 半导体基体

207: 漢

210:ゲート電極(トレンチ・ゲート)

212:エミッタ電極(第1主電極)

213:コレクタ電極(第2主電極)

Ra: 雷狀領域 (第1領域)

【特許請求の範囲】

【請求項 1】 第 1 導電形式の第 1 半導体層と、当該第 1 半導体層の上に積層された第 2 導電形式の第 2 半導体層と、当該第 2 半導体層の上面に選択的に形成された第 1 導電形式の第 3 半導体層と、を有する半導体基体を備え、前記半導体基体には、前記上主面に沿って実質的にストライプ状に配列された複数の溝が、前記上主面から前記第 1 半導体層にまで達するように形成されており、前記第 2 半導体層と前記第 3 半導体層は、隣合う前記溝に挟まれた前記上主面に選択的に露出しており、前記溝には、当該溝の内壁を覆うように形成されたゲート絶縁膜を挟んで、ゲート電極が埋め込まれており、前記上主面に選択的に露出する前記第 2 および第 3 半導体層の双方に電気的に接続され、前記ゲート電極とは絶縁された第 1 主電極と、前記半導体基体の下主面に電気的に接続された第 2 主電極と、を更に備える絶縁ゲート型半導体装置において、

前記第 1 主電極は、隣合う前記溝に挟まれた前記上主面の中に前記溝に沿って実質的に帯状に規定される第 1 領域において、前記上主面と電気的に接続されており、前記第 3 半導体層は、隣合う前記溝に挟まれた前記上主面の中に規定される第 2 領域と第 3 領域とに露出し、当該第 3 領域は、隣合う前記溝の内側に隣接するとともに当該溝に沿って中断することなく実質的に帯状に規定され、前記第 2 領域は、隣合う前記第 3 領域に挟まれた領域の一部に選択的に規定されている、ことを特徴とする絶縁ゲート型半導体装置。

【請求項 2】 請求項 1 に記載の装置において、前記第 2 領域が、隣合う前記第 3 領域の間に架けわたされた架橋状に規定されることを特徴とする絶縁ゲート型半導体装置。

【請求項 3】 第 1 導電形式の第 1 半導体層と、当該第 1 半導体層の上に積層された第 2 導電形式の第 2 半導体層と、当該第 2 半導体層の上面に選択的に形成された第 1 導電形式の第 3 半導体層と、を有する半導体基体を備え、前記半導体基体には、前記上主面に沿って実質的にストライプ状に配列された複数の溝が、前記上主面から前記第 1 半導体層にまで達するように形成されており、前記第 2 半導体層と前記第 3 半導体層は、隣合う前記溝に挟まれた前記上主面に選択的に露出しており、前記溝には、当該溝の内壁を覆うように形成されたゲート絶縁膜を挟んで、ゲート電極が埋め込まれており、前記上主面に選択的に露出する前記第 2 および第 3 半導体層の双方に電気的に接続され、前記ゲート電極とは絶縁された第 1 主電極と、前記半導体基体の下主面に電気的に接続された第 2 主電極と、を更に備える絶縁ゲート型半導体装置において、

前記第 1 主電極と前記第 2 および第 3 半導体とが、白金シリサイドを有する導電層を挟んで電気的に接続されていることを特徴とする絶縁ゲート型半導体装置。

【請求項 4】 請求項 3 に記載の装置において、前記第 1 主電極と前記第 2 半導体層との間の接触面、および前記第 1 主電極と前記第 3 半導体層との間の接触面がともに矩形であって、それら一辺の幅が $0.5 \mu\text{m} \sim 3 \mu\text{m}$ の範囲であることを特徴とする絶縁ゲート型半導体装置。

【請求項 5】 第 1 導電形式の第 1 半導体層と、当該第 1 半導体層の上に積層された第 2 導電形式の第 2 半導体層と、当該第 2 半導体層の上面に選択的に形成された第 1 導電形式の第 3 半導体層と、を有する半導体基体を備え、前記半導体基体には、前記上主面に沿って実質的にストライプ状に配列された複数の溝が、前記上主面から前記第 1 半導体層にまで達するように形成されており、前記第 2 半導体層と前記第 3 半導体層は、隣合う前記溝に挟まれた前記上主面に選択的に露出しており、前記溝には、当該溝の内壁を覆うように形成されたゲート絶縁膜を挟んで、ゲート電極が埋め込まれており、前記上主面に選択的に露出する前記第 2 および第 3 半導体層の双方に電気的に接続され、前記ゲート電極とは絶縁された第 1 主電極と、前記半導体基体の下主面に電気的に接続された第 2 主電極と、を更に備える絶縁ゲート型半導体装置において、

前記第 3 半導体層と前記第 2 半導体層との境界面と前記溝との交線上の仮想的な点の中で、第 2 半導体層の前記上主面への露出面から最も遠い仮想点までの距離として規定される最大距離 L_{max} が、前記第 2 半導体層と前記第 3 半導体層との接合部に固有のビルト・イン・ポテンシャル V_{pn} 、前記第 1 主電極と前記第 2 主電極との間に当該装置の定格電流に相当する大きさの主電流を通電したときに、前記第 3 半導体層の直下の前記第 2 半導体層を流れる電流の密度 J_{pr} 、および前記第 3 半導体層の直下における前記第 2 半導体層の比抵抗 ρ_{pn} に対して、 $V_{\text{pn}} > J_{\text{pr}} \times \rho_{\text{pn}} \times L_{\text{max}}$ で与えられるように、前記第 3 半導体層の形状が設定されていることを特徴とする絶縁ゲート型半導体装置。

【請求項 6】 第 1 導電形式の第 1 半導体層と、当該第 1 半導体層の上に積層された第 2 導電形式の第 2 半導体層と、当該第 2 半導体層の上面に選択的に形成された第 1 導電形式の第 3 半導体層と、を有する半導体基体を備え、前記半導体基体には、前記上主面に沿って実質的にストライプ状に配列された複数の溝が、前記上主面から前記第 1 半導体層にまで達するように形成されており、前記第 2 半導体層と前記第 3 半導体層は、隣合う前記溝に挟まれた前記上主面に選択的に露出しており、前記溝には、当該溝の内壁を覆うように形成されたゲート絶縁膜を挟んで、ゲート電極が埋め込まれており、前記上主面に選択的に露出する前記第 2 および第 3 半導体層の双方に電気的に接続され、前記ゲート電極とは絶縁された第 1 主電極と、前記半導体基体の下主面に電気的に接続された第 2 主電極と、を更に備える絶縁ゲート型半導体

装置において、

前記第 3 半導体層と前記第 2 半導体層との境界面と前記溝との交線上の仮想的な点の中で、第 2 半導体層の前記上主面への露出面から最も遠い仮想点までの距離として規定される最大距離 L_{max} が、前記第 2 半導体層と前記第 3 半導体層との接合部に固有のビルト・イン・ポテンシャル V_{pn} 、前記第 1 主電極と前記第 2 主電極との間に当該装置の定格電流に相当する大きさの主電流を通电したときに、前記第 3 半導体層の直下の前記第 2 半導体層を流れる電流の密度 J_{pr} 、前記第 1 主電極と前記第 2 主電極との間に短絡負荷を接続したときの主電流の大きさと定格電流との比率 n 、および前記第 3 半導体層の直下における前記第 2 半導体層の比抵抗 ρ_{pn} に対して、 $V_{pn} > n \times J_{pr} \times \rho_{pn} \times L_{max}$ で与えられるように、前記第 3 半導体層の形状が設定されていることを特徴とする絶縁ゲート型半導体装置。

【請求項 7】 第 1 導電形式の第 1 半導体層と、当該第 1 半導体層の上に積層された第 2 導電形式の第 2 半導体層と、当該第 2 半導体層の上面に選択的に形成された第 1 導電形式の第 3 半導体層と、を有する半導体基体を備え、前記半導体基体には、前記上主面に沿って実質的にストライプ状に配列された複数の溝が、前記上主面から前記第 1 半導体層にまで達するように形成されており、前記第 2 半導体層と前記第 3 半導体層は、隣合う前記溝に挟まれた前記上主面に選択的に露出しており、前記溝には、当該溝の内壁を覆うように形成されたゲート絶縁膜を挟んで、ゲート電極が埋め込まれており、前記上主面に選択的に露出する前記第 2 および第 3 半導体層の双方に電気的に接続され、前記ゲート電極とは絶縁された第 1 主電極と、前記半導体基体の下主面に電気的に接続された第 2 主電極と、を更に備える絶縁ゲート型半導体装置において、

前記第 1 主電極と前記第 2 主電極の間を流れる主電流の大きさを、所定の制限電流値を超えないように制限する過電流保護手段を更に備え、

前記第 3 半導体層と前記第 2 半導体層との境界面と前記溝との交線上の仮想的な点の中で、第 2 半導体層の前記上主面への露出面から最も遠い仮想点までの距離として規定される最大距離 L_{max} が、前記第 2 半導体層と前記第 3 半導体層との接合部に固有のビルト・イン・ポテンシャル V_{pn} 、前記第 1 主電極と前記第 2 主電極との間に当該装置の定格電流に相当する大きさの主電流を通电したときに、前記第 3 半導体層の直下の前記第 2 半導体層を流れる電流の密度 J_{pr} 、前記制限電流値と定格電流との比率 m 、および前記第 3 半導体層の直下における前記第 2 半導体層の比抵抗 ρ_{pn} に対して、 $V_{pn} > n \times J_{pr} \times \rho_{pn} \times L_{max}$ で与えられるように、前記第 3 半導体層の形状が設定されていることを特徴とする絶縁ゲート型半導体装置。

【請求項 8】 第 1 導電形式の第 1 半導体層と、当該第

1 半導体層の上に積層された第 2 導電形式の第 2 半導体層と、当該第 2 半導体層の上面に選択的に形成された第 1 導電形式の第 3 半導体層と、を有する半導体基体を備え、前記半導体基体には、前記上主面に沿って実質的にストライプ状に配列された複数の溝が、前記上主面から前記第 1 半導体層にまで達するように形成されており、前記第 2 半導体層と前記第 3 半導体層は、隣合う前記溝に挟まれた前記上主面に選択的に露出しており、前記溝には、当該溝の内壁を覆うように形成されたゲート絶縁膜を挟んで、ゲート電極が埋め込まれており、前記上主面に選択的に露出する前記第 2 および第 3 半導体層の双方に電気的に接続され、前記ゲート電極とは絶縁された第 1 主電極と、前記半導体基体の下主面に電気的に接続された第 2 主電極と、を更に備える絶縁ゲート型半導体装置において、

前記半導体基体の上主面は $\langle 100 \rangle$ 結晶面に沿っており、前記上主面における前記溝の開口端を含むとともに当該上主面と 45° の傾斜角をもって傾斜する仮想面と当該溝に隣合う溝の壁面との交線よりも、前記第 1 半導体層と前記第 2 半導体層との境界面が下方に位置するように、前記第 2 半導体層の厚さと当該複数の溝の形状とが設定されていることを特徴とする絶縁ゲート型半導体装置。

【請求項 9】 トレンチ・ゲートを有する複数の絶縁ゲート型半導体素子が単一の半導体基体に実質的にストライプ状に配列された絶縁ゲート型半導体装置において、当該装置の主電流の大きさまたは前記半導体基体の温度を検出するセンシング手段を備え、当該センシング手段が複数の前記絶縁ゲート型半導体素子を有することを特徴とする絶縁ゲート型半導体装置。

【請求項 10】 トレンチ・ゲートを有するとともに互いに同一構造の複数の絶縁ゲート型半導体素子が単一の半導体基体に実質的にストライプ状に等間隔に配列された絶縁ゲート型半導体装置において、

前記半導体基体の 1 つの主面に接続される主電極と外部の電極とを電気的に結合するための複数の配線が、当該主電極に接続されており、前記複数の絶縁ゲート型半導体素子が前記半導体基体に占める領域を前記主面に沿って略均等に仮想的に分割してなる複数の単位領域毎に前記配線の各 1 が接続されていることを特徴とする絶縁ゲート型半導体装置。

【請求項 11】 請求項 10 に記載の装置において、面積が $2\text{ mm}^2 \sim 4\text{ mm}^2$ の範囲の前記単位領域毎に前記複数の配線の各 1 が接続されていることを特徴とする絶縁ゲート型半導体装置。

【請求項 12】 トレンチ・ゲートを有する複数の絶縁ゲート型半導体素子が単一の半導体基体に実質的に直線的なストライプ状に配列された絶縁ゲート型半導体装置において、

前記半導体基体における前記トレンチ・ゲートが形成さ

れている側の主面に接続される主電極と外部の電極とを電氣的に結合するための配線が当該主電極に接続されており、しかも、当該配線の方向と前記絶縁ゲート型半導体素子の方向とが $20^{\circ} \sim 160^{\circ}$ の範囲の角度をもって交差するように前記配線が接続されていることを特徴とする絶縁ゲート型半導体装置。

【請求項13】 トレンチ・ゲートを有する複数の絶縁ゲート型半導体素子が単一の半導体基体を実質的にストライプ状に配列された絶縁ゲート型半導体装置において、

前記絶縁ゲート型半導体素子の各1は、直線状ないし滑らかな曲線状に形成されており、それとともに、当該素子に属する前記トレンチ・ゲートは当該素子に沿って直線状ないし滑らかな曲線状に形成されているとともに、他の絶縁ゲート型半導体素子に属する前記トレンチ・ゲートとは交差しないように形成されていることを特徴とする絶縁ゲート型半導体装置。

【請求項14】 トレンチ・ゲートを有する複数の絶縁ゲート型半導体素子が単一の半導体基体を実質的にストライプ状に配列された絶縁ゲート型半導体装置を製造する方法であって、(a) 上主面と下主面とを規定するとともに当該上主面に露出する第1導電形式の第1半導体層を備える半導体基体を準備する工程と、(b) 前記半導体基体の上主面に第2導電形式の不純物を導入することによって、前記半導体基体の上主面に露出する第2導電形式の第2半導体層を、前記第1半導体層の上面部分に形成する工程と、(c) 前記半導体基体の上主面が格子状に露出するように当該上面を選択的に覆う第1マスクを形成する工程と、(d) 前記第1マスクを遮蔽体として前記半導体基体の上主面に第1導電形式の不純物を選択的に導入することによって、当該上主面に格子状に露出する第1導電形式の第3半導体層を、前記第2半導体層の上面部分に選択的に形成する工程と、(e) 前記第1マスクを除去する工程と、(f) 前記工程(e)の後に、前記第3半導体層の前記格子状の露出面に沿ってストライプ状に開口するとともに、当該格子状の露出面の幅方向端部の内側に開口する第2マスクを前記半導体基体の上主面の上に形成する工程と、(g) 前記第2マスクを遮蔽体として、前記半導体基体の上主面からエッチングを選択的に施すことによって、前記第2マスクの開口部の直下に前記第1半導体層に達するストライプ状の溝を形成する工程と、(h) 前記第2マスクを除去する工程と、(i) 前記工程(h)の後に、前記溝の内壁および前記半導体基体の上主面とを覆う第1絶縁膜を形成する工程と、(j) 前記第1絶縁膜に覆われた前記溝にゲート電極を埋設する工程と、(k) 前記第1絶縁膜および前記ゲート電極の上に第2絶縁膜を形成する工程と、(l) 隣合う前記ストライプ状の溝に挟まれた前記半導体基体の上主面に、当該溝から離れるとともに当該溝に沿って実質的に帯状に開口する第3マスクを形成する工程と、(m) 前記第3マスク

を遮蔽体として、前記第2絶縁膜にエッチングを選択的に施すことにより、当該第2絶縁膜を選択的に除去する工程と、(n) 前記第3マスクを除去する工程と、(o) 前記工程(n)の後に、前記第2絶縁膜およびその除去された部分を覆うように第1導電体を形成する工程と、(p) 前記半導体基体の下主面に第2導電体を形成する工程と、を備える絶縁ゲート型半導体装置の製造方法。

【請求項15】 トレンチ・ゲートを有する複数の絶縁ゲート型半導体素子が単一の半導体基体を実質的にストライプ状に配列された絶縁ゲート型半導体装置を製造する方法であって、(a) 上主面と下主面とを規定するとともに当該上主面に露出する第1導電形式の第1半導体層を備える半導体基体を準備する工程と、(b) 前記半導体基体の上主面に第2導電形式の不純物を導入することによって、前記半導体基体の上主面に露出する第2導電形式の第2半導体層を、前記第1半導体層の上面部分に形成する工程と、(c) 前記半導体基体の上主面を選択的に覆う第1マスクを形成する工程と、(d) 前記第1マスクを遮蔽体として前記半導体基体の上主面に第1導電形式の不純物を選択的に導入することによって、当該上主面に選択的に露出する第1導電形式の第3半導体層を、前記第2半導体層の上面部分に選択的に形成する工程と、(e) 前記第1マスクを除去する工程と、(f) 前記工程(e)の後に、ストライプ状に開口する第2マスクを前記半導体基体の上主面の上に形成する工程と、(g) 前記第2マスクを遮蔽体として、前記半導体基体の上主面からエッチングを選択的に施すことによって、前記第2マスクの開口部の直下に前記第1半導体層に達するストライプ状の溝を形成する工程と、(h) 前記第2マスクを除去する工程と、(i) 前記工程(h)の後に、前記溝の内壁および前記半導体基体の上主面とを覆う第1絶縁膜を形成する工程と、(j) 前記第1絶縁膜に覆われた前記溝にゲート電極を埋設する工程と、(k) 前記第1絶縁膜および前記ゲート電極の上に第2絶縁膜を形成する工程と、(l) 隣合う前記ストライプ状の溝に挟まれた前記半導体基体の上主面に、当該溝から離れるとともに当該溝に沿って実質的に帯状に開口する第3マスクを形成する工程と、(m) 前記第3マスクを遮蔽体として、前記第2絶縁膜にエッチングを選択的に施すことにより、当該第2絶縁膜を選択的に除去する工程と、(n) 前記第3マスクを除去する工程と、(o) 前記工程(n)の後に、前記第2絶縁膜を遮蔽体として、白金を含む元素を前記半導体基体の上主面に選択的に導入することによって、白金シリサイドを有する導電層を、当該半導体基体の上主面部分に選択的に形成する工程と、(p) 前記第2絶縁膜およびその除去された部分を覆うように第1導電体を形成する工程と、(q) 前記半導体基体の下主面に第2導電体を形成する工程と、を備える絶縁ゲート型半導体装置の製造方法。

【請求項16】 トレンチ・ゲートを有する複数の絶縁

ゲート型半導体素子が単一の半導体基体に実質的にストライプ状に配列された絶縁ゲート型半導体装置を製造する方法であって、(a) 上主面と下主面とを規定するとともに当該上主面に露出する第1導電形式の第1半導体層を備える半導体基体を準備する工程と、(b) 前記半導体基体の上主面に第2導電形式の不純物を導入することによって、前記半導体基体の上主面に露出する第2導電形式の第2半導体層を、前記第1半導体層の上面部分に形成する工程と、(c) 前記半導体基体の上主面を選択的に覆う第1マスクを形成する工程と、(d) 前記第1マスクを遮蔽体として前記半導体基体の上主面に第1導電形式の不純物を選択的に導入することによって、当該上主面に選択的に露出する第1導電形式の第3半導体層を、前記第2半導体層の上面部分に選択的に形成する工程と、(e) 前記第1マスクを除去する工程と、(f) 前記工程(e)の後に、ストライプ状に開口する第2マスクを前記半導体基体の上主面の上面上に形成する工程と、(g) 前記第2マスクを遮蔽体として、前記半導体基体の上主面からエッチングを選択的に施すことにより、前記第2マスクの開口部の直下に前記第1半導体層に達するストライプ状の溝を形成する工程と、(h) 前記第2マスクを除去する工程と、(i) 前記工程(h)の後に、前記溝の内壁および前記半導体基体の上主面とを覆う第1絶縁膜を形成する工程と、(j) 前記第1絶縁膜に覆われた前記溝を埋めるとともに当該第1絶縁膜に覆われた前記半導体基体の上主面の上方に一定以上の厚みをもつように、ポリシリコン層を積層させる工程と、(k) 前記ポリシリコン層の上面にエッチングを施すことにより、前記半導体基体の上主面からの厚みを所定の大きさに調整する工程と、(l) 厚みが調整された前記ポリシリコン層の上面に所定のパターンを有する第3マスクを形成する工程と、(m) 前記第3マスクを遮蔽体として、前記ポリシリコン層に選択的にエッチングを施すことにより、ゲート電極として機能する前記溝に埋設された部分とゲート配線として機能する当該第3マスクに覆われた部分とを除いて当該ポリシリコン層を除去する工程と、(n) 前記第3マスクを除去する工程と、(o) 前記工程(n)の後に、前記第1絶縁膜および前記ゲート電極の上に第2絶縁膜を形成する工程と、(p) 隣合う前記ストライプ状の溝に挟まれた前記半導体基体の上主面に、当該溝から離れるとともに当該溝に沿って実質的に帯状に開口する第4マスクを形成する工程と、(q) 前記第4マスクを遮蔽体として、前記第2絶縁膜にエッチングを選択的に施すことにより、当該第2絶縁膜を選択的に除去する工程と、(r) 前記第4マスクを除去する工程と、(s) 前記工程(r)の後に、前記第2絶縁膜およびその除去された部分を覆うように第1導電体を形成する工程と、(t) 前記半導体基体の下主面に第2導電体を形成する工程と、を備える絶縁ゲート型半導体装置の製造方法。

【請求項17】 トレンチ・ゲートを有する複数の絶縁

ゲート型半導体素子が単一の半導体基体に実質的にストライプ状に配列された絶縁ゲート型半導体装置を製造する方法であって、(a) 上主面と下主面とを規定するとともに当該上主面に露出する第1導電形式の第1半導体層を備える半導体基体を準備する工程と、(b) 前記半導体基体の上主面に第2導電形式の不純物を導入することによって、前記半導体基体の上主面に露出する第2導電形式の第2半導体層を、前記第1半導体層の上面部分に形成する工程と、(c) 前記半導体基体の上主面を選択的に覆う第1マスクを形成する工程と、(d) 前記第1マスクを遮蔽体として前記半導体基体の上主面に第1導電形式の不純物を選択的に導入することによって、当該上主面に選択的に露出する第1導電形式の第3半導体層を、前記第2半導体層の上面部分に選択的に形成する工程と、(e) 前記第1マスクを除去する工程と、(f) 前記工程(e)の後に、ストライプ状に開口する第2マスクを前記半導体基体の上主面の上面上に形成する工程と、(g) 前記第2マスクを遮蔽体として、前記半導体基体の上主面からエッチングを選択的に施すことにより、前記第2マスクの開口部の直下に前記第1半導体層に達するストライプ状の溝を形成する工程と、(h) 前記第2マスクを除去する工程と、(i) 前記工程(h)の後に、前記溝の内壁および前記半導体基体の上主面とを覆う第1絶縁膜を形成する工程と、(j) 前記第1絶縁膜に覆われた前記溝を埋めるとともに当該第1絶縁膜に覆われた前記半導体基体の上主面の上方に所定の厚みをもつように、ポリシリコン層を積層させる工程と、(k) 前記ポリシリコン層の上面に所定のパターンを有する第3マスクを形成する工程と、(l) 前記第3マスクを遮蔽体として、前記ポリシリコン層に選択的にエッチングを施すことにより、ゲート電極として機能する前記溝に埋設された部分とゲート配線として機能する当該第3マスクに覆われた部分とを除いて当該ポリシリコン層を除去する工程と、(m) 前記第3マスクを除去する工程と、(n) 前記工程(m)の後に、前記第1絶縁膜および前記ゲート電極の上に第2絶縁膜を形成する工程と、(o) 隣合う前記ストライプ状の溝に挟まれた前記半導体基体の上主面に、当該溝から離れるとともに当該溝に沿って実質的に帯状に開口する第4マスクを形成する工程と、(p) 前記第4マスクを遮蔽体として、前記第2絶縁膜にエッチングを選択的に施すことにより、当該第2絶縁膜を選択的に除去する工程と、(q) 前記第4マスクを除去する工程と、(r) 前記工程(q)の後に、前記第2絶縁膜およびその除去された部分を覆うように第1導電体を形成する工程と、(s) 前記半導体基体の下主面に第2導電体を形成する工程と、を備える絶縁ゲート型半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、トレンチ・ゲートを有する絶縁ゲート型半導体装置およびその製造方法に関

する。

【0002】

【従来の技術】絶縁ゲート型半導体装置は、p型およびn型の半導体層が交互に接合され、両端の半導体層には主電流が流れる主電極が電氣的に接続され、少なくとも1つの半導体層には、電場を印加することによってチャンネルを形成するためのゲート電極が絶縁膜を介して接続された構造の半導体装置である。この絶縁ゲート型半導体装置では、ゲート電極に印加される電圧によって、2つの主電極の間を流れる電流すなわち主電流が制御される。MOSトランジスタ、および絶縁ゲート型バイポーラトランジスタ（Insulated Gate Bipolar Transistor：以下、IGBTと略記する）は、その代表例である。

【0003】電力用のIGBTでは、多数のIGBT素子（以下、ユニットセルと呼称する）が並列接続された構造が一般的である。また、電力用のMOSトランジスタにおいても同様である。また、その中でも、トレンチ・ゲートを有する絶縁ゲート型半導体装置、すなわちゲート電極が半導体基板の上面に形成された溝（トレンチ）の中に埋め込まれた構造を有する装置は、微細化が容易であるため集積度を高めることができる、製造工程が簡略であるなどの利点を備える優れた装置として注目を集めている。以下に、トレンチ・ゲートを有する従来の絶縁ゲート型半導体装置の2つの例について説明する。

【0004】＜第1の従来例＞はじめに、USP4767722号公報に開示されるトレンチゲートを有するMOSトランジスタ（以下、UMOSと略記する）を取り上げる。図40は、この装置の正面断面図である。この図40には、1つのユニットセルの断面が描かれている。このUMOS40では、高濃度のN型不純物を含むN+型半導体層1を構成する半導体基板の上に、低濃度のN型不純物を含んだN-半導体層4が形成されており、更に、このN-半導体層4の上にP型の不純物を拡散することによりPベース層5が形成されている。更に、Pベース層5の上主面には、高濃度のN型不純物を選択的に拡散することによって、N+エミッタ層6が選択的に形成されている。これらの4つの半導体層によって平板状の半導体基体20が構成される。この半導体基体20の上主面の中の、N+エミッタ層6が露出する部分から深部に向かって溝7が形成されている。この溝7は、N+エミッタ層6およびPベース層5を貫通し、N-半導体層4にまで達している。したがって、溝7の側面は、N+エミッタ層6、Pベース層5、およびN-半導体層4の上面部分に隣接する。

【0005】溝7の内壁面にはゲート絶縁膜9が形成されており、このゲート絶縁膜9の内側には、ポリシリコンで構成されるゲート電極10が埋め込まれている。したがって、ゲート電極10は、ゲート絶縁膜9を挟ん

で、N+エミッタ層6、Pベース層5、およびN-半導体層4の上面部分に対向している。ゲート電極10に電圧が印加されることによって、Pベース層5にNチャンネルが形成される。すなわち、ゲート電極10に対向するPベース層5の領域が、チャンネル領域8として機能する。半導体基体20の下主面、すなわちN+型半導体層1の下主面にはドレイン電極13が形成されている。一方、半導体基体20の上主面の中の、N+エミッタ層6が露出する部分の一部領域と、Pベース層5が露出する部分とに跨って、ソース電極12が形成されている。

【0006】図41は、図40に示したUMOS40の平面図である。この図41には、ソース電極12を除去したUMOS40の上主面、すなわち半導体基体20の上主面が描かれている。図41に示すように、ゲート電極10は格子状に形成されており、N+エミッタ層6は、この矩形のゲート電極10に隣接した矩形の環状に半導体基体20の上主面に露出している。さらに、Pベース層5は、環状のN+エミッタ層6に包囲される矩形領域において半導体基体20の上主面に露出している。図41には、さらに、ソース電極12が半導体基体20の上主面と接触する領域の輪郭を点線で示している。すなわち、ソース電極12は、矩形領域に露出するPベース層5の全面と、その周囲に隣接するN+エミッタ層6の一部とに電氣的に接続されている。

【0007】このUMOS40を使用するには、まず、外部電源を接続することによって、ドレイン電極13とソース電極12の間に正方向にドレイン電圧 V_{DS} を印加する。この状態で、ゲート電極10とソース電極12の間に正方向に所定のゲート閾電圧 $V_{GS(th)}$ を超えるゲート電圧 V_{GS} を印加する（すなわち、ゲートをオンする）と、P型のPベース層5の一部であるP型のチャンネル領域8が、N型へと反転することにより、チャンネル領域8にN型のチャンネルが形成される。このチャンネルによってPベース層5とN-半導体層4の間が導通する。その結果、ドレイン電極13からソース電極12へと主電流が流れる。すなわち、UMOS40が導通する。このときの、ドレイン電極13とソース電極12の間の抵抗は、オン抵抗 R_{ON} と呼ばれる。UMOS40の導通時の損失を低減するために、オン抵抗 R_{ON} はできるだけ低いことが望ましい。

【0008】つぎに、ゲート電圧 V_{GS} をゼロあるいはマイナス（逆バイアス）の値に戻す（すなわち、ゲートをオフする）と、チャンネル領域8に形成されたチャンネルは消滅し、チャンネル領域8は本来のP型の導電形式へ復帰する。その結果、Pベース層5とN-半導体層4の間は遮断されるので、主電流は流れなくなる。すなわち、UMOS40は非導通となる。

【0009】＜第2の従来例＞つぎに、もう一つの従来装置の例を示す。図42は、USP4994871号公報に開示されるトレンチゲートを有するIGBT（以下

に、UMOS-IGBTと略記する)の部分断面斜視図である。この図42には、3個のユニットセルが描かれている。このUMOS-IGBT80では、高濃度のP型不純物を含むP+コレクタ層62を構成する半導体基板の上に、高濃度のN型不純物を含んだN+バッファ層63が形成されており、更に、このN+バッファ層63の上に、低濃度のN型不純物を含んだN-半導体層64が形成されている。また、このN-半導体層64の上にはP型の不純物を拡散することによりPベース層65が形成されており、更に、Pベース層65の上主面には、高濃度のN型不純物を選択的に拡散することによって、N+エミッタ層66がストライプ状に形成されている。すなわち、N+エミッタ層66とPベース層65は半導体基体60の上主面に、交互にストライプ状に露出する。これらの5つの半導体層によって平板状の半導体基体60が構成されている。

【0010】この半導体基体60の上主面には、溝67が形成されている。溝67は、ストライプ状に形成され、しかもストライプ状のN+エミッタ層66と直交する方向に配列している。溝67は、UMOS40の溝7と同様に、半導体基体60の上主面からN+エミッタ層66およびPベース層65を貫通し、N-半導体層64にまで達している。溝67の内壁面には、ゲート絶縁膜69が形成されており、その内側にはゲート電極70が埋め込まれている。ゲート電極70に対向し、しかもN+エミッタ層66とN-半導体層64とに挟まれたPベース層65の領域が、チャネル領域68として機能する。

【0011】半導体基体60の下主面、すなわちP+コレクタ層62の下主面にはコレクタ電極73が形成されている。一方、半導体基体60の上主面の中の、N+エミッタ層66が露出する部分と、Pベース層65が露出する部分とに、エミッタ電極72が形成されている。

【0012】このUMOS-IGBT80を使用するには、まず、外部電源を接続することによって、コレクタ電極73とエミッタ電極72との間に正方向にコレクタ電圧 V_{CE} を印加する。この状態で、ゲート電極70とエミッタ電極72の間に正方向に、所定のゲート閾電圧 $V_{GE(th)}$ を超えるゲート電圧 V_{GE} を印加する(すなわち、ゲートをオンする)と、P型のチャネル領域68が、N型へと反転することにより、チャネル領域68にN型のチャネルが形成される。エミッタ電極72からN+エミッタ層66を経由した電子がN-半導体層64へ注入される。この注入された電子により、P+コレクタ層62とN-半導体層64(N+バッファ層63を含む)との間が順バイアスされるので、P+コレクタ層62からN-半導体層64へとホールが注入される。その結果、N-半導体層64の抵抗が大幅に低下するので、コレクタ電極73からエミッタ電極72へと大きな主電流が流れる。このときの、コレクタ電極73とエミッタ電極72

の間に発生する電圧は、オン電圧 $V_{CE(sat)}$ と呼ばれる。オン電圧 $V_{CE(sat)}$ を抵抗に換算したものが、前述のオン抵抗 R_{ON} である。UMOS-IGBT80の導通時の損失を低減するために、オン電圧 $V_{CE(sat)}$ またはオン抵抗 R_{ON} はできるだけ低いことが望ましい。このようにIGBTは、P+コレクタ層62からのホールの注入によって、N-半導体層64の抵抗を下げるように構成されている。

【0013】つぎに、ゲート電圧 V_{GE} をゼロあるいはマイナス(逆バイアス)の値に戻す(ゲートをオフする)と、チャネル領域68に形成されたチャネルは消滅し、チャネル領域68は本来のP型の導電形式へ復帰する。その結果、エミッタ電極72からの電子の注入が止まるので、P+コレクタ層62からのホールの注入も停止する。その後、N-半導体層64(およびN+バッファ層63)に溜まっていた電子とホールは、それぞれコレクタ電極73およびエミッタ電極72へと回収されるか、または互いに再結合する。このとき、電子の減少よりもホールの減少が遅いので、このホールがエミッタ電極72へと回収されるまでに流れる電流が、いわゆる「テール電流」をもたらす。UMOS-IGBTでは、UMOSと異なり、エミッタ電極72からのホールの注入が重要な役割を果たしている。

【0014】

【発明が解決しようとする課題】ところで、UMOSあるいはUMOS-IGBTでは、オン電圧 $V_{CE(sat)}$ を低減するためには、ユニットセルを縮小すること、すなわち微細化することが一般に有効であるといわれている。しかしながら、第1の従来例では、ソース電極12とN+エミッタ層6との間の電氣的接触を確実に実現するためには、N+エミッタ層6の環状の露出面が、ある一定以上の幅をもつ必要がある。なぜならば、ソース電極12と半導体基体20の上主面との接触面を、環状のN+エミッタ層6の内側部分を覆うように精度よく位置合わせを行うことに一定の限界があるために、いわゆる冗長設計を要するからである。

【0015】一方、第2の従来例では、ストライプ状のN+エミッタ層66とストライプ状のゲート電極70とが直交するように配設されているので、エミッタ電極72と半導体基体60の上主面との接触面の位置がずれていても、N+エミッタ層66およびPベース層65とエミッタ電極72との間の電氣的接触が保証される。このため、第1の従来例において必要な冗長設計を必要としないので、微細化が行い易いという利点がある。しかしながら、第2の従来例では、ストライプ状のN+エミッタ層66がゲート電極70と直交するので、N+エミッタ層66がゲート電極10に沿って形成されている第1の従来例とは異なり、Pベース層65が半導体基体60の上主面に露出する部分において、N+エミッタ層66はゲート電極70に対向しない。すなわち、ゲート電極7

0に沿って、チャネル領域68は連続的には形成されておらず、Pベース層65が露出する部分において中断する。このため、第2の従来例では、第1の従来例に比べて、チャネル領域68の幅が短くなっている。このことは、オン電圧 $V_{CE(sat)}$ を高めるように作用する。すなわち、第2の従来例では、微細化は実現するものの、そのことがオン電圧 $V_{CE(sat)}$ の低減には効果的に結びつかないという問題点がある。

【0016】また、第1、第2の従来例のいずれにおいても、ユニット・セルの微細化をある程度以上に進めると、逆にオン電圧 $V_{CE(sat)}$ は上昇するという問題点がある。これは、微細化に伴って、主電流の主要な経路であるN+エミッタ層6(N+エミッタ層66)とソース電極12(エミッタ電極72)との接触面積(接触面積)が過小となり、その結果これらの間のコンタクト抵抗が増大するからである。このコンタクト抵抗の増大はオン電圧 $V_{CE(sat)}$ (オン抵抗 R_{ON})の増大をもたらす。

【0017】また、微細化に伴って、Pベース層5(Pベース層65)とソース電極12(エミッタ電極72)との間のコンタクト面積も過小となる。このことは、UMOS-IGBT、UMOSのいずれにおいても、寄生トランジスタの導通を誘引する。図42に示すように、UMOS-IGBT80には、N+エミッタ層66、Pベース層65、およびN-半導体層64とによって、寄生的にバイポーラ・トランジスタが形成されている。この寄生トランジスタは、N-半導体層64の電位がPベース層65とN+エミッタ層66の間のビルトイン・ポテンシャルを超えると導通する。この寄生トランジスタは、UMOS-IGBT80の中に存在する本来のトランジスタと共にサイリスタを寄生的に構成する。このため、寄生トランジスタが一旦導通すると、この寄生サイリスタがトリガされる。その結果、UMOS-IGBT80はもはや、ゲート電極70に印加するゲート電圧 V_{GE} によって主電流を制御することができなくなる。すなわち、主電流はゲート電圧 V_{GE} とは無関係に流れ続ける。このため、寄生トランジスタを導通させるとUMOS-IGBT80を破壊に至らしめる。このことはIGBT一般に共通する。

【0018】さらに、UMOSについても同様である。図40に示すように、UMOS40には、N+エミッタ層6、Pベース層5、およびN-半導体層4によってバイポーラ・トランジスタが寄生的に形成されている。この寄生トランジスタは、N-半導体層4の電位がPベース層5とN+エミッタ層6の間のビルトイン・ポテンシャルを超えると導通する。この寄生トランジスタが導通すると、もはや、ゲート電極10に印加するゲート電圧 V_{GE} によって主電流を制御することができなくなる。このため、寄生トランジスタを導通させるとUMOS40を破壊に至らしめる。このことはUMOS一般に共通する。

る。

【0019】Pベース層65とエミッタ電極72との間のコンタクト面積が過度に減少すると、これらの間のコンタクト抵抗が上昇するので、Pベース層65の電位がN+エミッタ層66の電位を超え易くなる。すなわち、寄生トランジスタが導通し易くなる。すなわち、UMOS-IGBT、UMOSでは、過度に微細化を進めると、オン電圧 $V_{CE(sat)}$ の低減効果が期待できないと同時に、装置の破壊耐量(例えば、寄生トランジスタの導通を回避しつつ流し得る主電流の上限値の大きさによって評価することができる)が低下するという問題点がある。

【0020】第2の従来例であるUMOS-IGBT80では、寄生トランジスタの導通に起因する破壊を生じ難くするために、コレクタ電極73の接触面積全体に占めるN+エミッタ層66との接触面積の割合を、40%以下に抑えている。しかしながらこのことは、UMOS-IGBT80ではN+エミッタ層66がゲート電極70に直交するストライプ状であるために、チャネル領域68の低下を伴う。その結果、オン電圧 $V_{CE(sat)}$ の増加をもたらされる。すなわち、従来の装置において、コレクタ電極73との接触面積のN+エミッタ層66とPベース層65との間での配分を調整するだけでは、オン電圧 $V_{CE(sat)}$ の低減と破壊耐量の向上とを両立的に実現することは期待できない。

【0021】また、UMOS-IGBT80を例として、破壊耐量について定量的な評価を行うと、わずか $12A/cm^2$ であるという結果が得られる。このことは、コレクタ電極73の接触面積全体に占めるN+エミッタ層66との接触面積の割合を40%以下に抑えてもなお、寄生トランジスタの導通による破壊を防止するには不十分であることを示している。以下に、この評価の手順を示す。

【0022】図43にUMOS-IGBT80の平面図を示す。この図43には、エミッタ電極72を除去したUMOS-IGBT80の上主面、すなわち半導体基体60の上主面が描かれている。図43に示すように、ユニット・セル幅 W_{cel} 、ゲート電極70の間隔すなわちトレンチ間隔 W_t 、N+エミッタ層66のストライプ幅 W_n 、およびPベース層65のストライプ幅 W_p をそれぞれ定義する。さらに、N+エミッタ層66とPベース層65との境界面と溝67との交線上の点の中で、Pベース層65の露出面から最も遠い点までの距離として最大距離 L_{max} を定義する。この最大距離 L_{max} は、N+エミッタ層66の直下のPベース層65における横方向抵抗を規定する一要因となる。UMOS-IGBT80では、最大距離 L_{max} は、ストライプ幅 W_n の半分に相当する。

【0023】また、最大距離 L_{max} を規定する経路に沿ったPベース層65の電気抵抗 R_{pn} を定義する。こ

の電気抵抗 R_{pn} は、Pベース層65の深さ方向の比抵抗 $\rho(L, D, W)$ を、深さ方向 D 、幅方向 W (図43)に積分したものを、さらに長さ方向 L (図43)に沿ってゼロから最大距離 L_{max} まで積分したものに相

$$R_{opn} = \int dL \left\{ \int dD \left(\int dW \cdot \rho(L, D, W) \right) \right\}$$

【0025】幅方向 W に沿った単位幅当たりの電気抵抗および比抵抗を、それぞれ R_{pn} 、 $\rho(L, D)$ で表現すると、電気抵抗 R_{pn} は、数2で与えられる。

【0026】

【数2】

$$R_{opn} = \int dL \left\{ \int dD \cdot \rho(L, D) \right\}$$

【0027】更に、比抵抗 $\rho(L, D)$ の深さ D 方向の積分値を比抵抗 ρ_{pn} で表現すると、電気抵抗 R_{pn} は、数3で与えられる。

【0028】

【数3】

$$R_{pn} = \int dL \cdot \rho_{pn}$$

【0029】したがって、電気抵抗 R_{pn} は、数4で与えられる。

【0030】

【数4】

$$R_{pn} = L_{max} \cdot \rho_{pn}$$

【0031】N+エミッタ層66の直下のPベース層65におけるホール電流密度 J_p は、Pベース層65とN+エミッタ層66との接合部に、比抵抗 ρ_{pn} 、および最大距離 L_{max} で決まる電圧を生じる。この電圧が、この接合部に固有のビルト・イン・ポテンシャル V_{pn} を超えると、寄生トランジスタが導通する。このため、寄生トランジスタの導通を避けるためには、電流密度 J_p は、数5で与えられる条件を満たす必要がある。

【0032】

【数5】

$$V_{pn} > J_p \cdot \rho_{pn} \cdot L_{max}$$

$$J_p < \frac{0.6V}{25k\Omega\mu m \times 6 \times 3\mu m} = 12A/cm^2$$

【0040】この電流密度 J_p で与えられる電流がユニット・セルを流れる。装置を流れる主電流(コレクタ電流)の中で、Pベース層65を流れるホール電流が占める割合は、0.3程度である。このため、寄生トランジ

スタを導通することなく装置に流し得る主電流の大きさ J は、数9で与えられる。

【0024】

【数1】

【0033】比抵抗 ρ_{pn} は、ゲート閾電圧 $V_{GE(th)}$ を規定するので、電力用半導体素子ではほぼ一定の値に設定されている。ゲート閾電圧 $V_{GE(th)}$ は、通常1V~5Vの範囲に設定されるので、Pベース層65における不純物濃度は、概ね $1 \times 10^{16} \sim 1 \times 10^{17} cm^{-3}$ である。この濃度範囲では、比抵抗 ρ_{pn} は $50\Omega cm \sim 0.5\Omega cm$ の範囲で不純物濃度に反比例する。

【0034】ゲート閾電圧 $V_{GE(th)}$ を代表的な値である4Vに選ぶと、比抵抗 ρ_{pn} の値は、数6で与えられる。

【0035】

【数6】

$$\rho_{pn} \approx 25k\Omega\mu m = 2.5\Omega cm$$

【0036】UMOS-IGBT80では、上述のように、コレクタ電極73の接触面積全体に占めるN+エミッタ層66との接触面積の割合を、40%以下に抑えている。このことは、ストライプ幅 W_n とストライプ幅 W_p の比率が、数7で与えられることに相当する。

【0037】

【数7】

$$\frac{W_n}{W_n + W_p} = 0.40$$

【0038】代表的で妥当な値として、ストライプ幅 W_n に $12\mu m$ 、ストライプ幅 W_p に $18\mu m$ 、さらに、トレンチ間隔 W_t に $3\mu m$ をそれぞれ与え、ビルト・イン・ポテンシャル V_{pn} に代表的な0.6Vを与えると、寄生トランジスタを導通することなく流すことのできる電流密度 J_p の大きさは、数8で与えられる。

【0039】

【数8】

スタを導通することなく装置に流し得る主電流の大きさ J は、数9で与えられる。

【0041】

【数9】

$$J = 12 \text{ A/cm}^2 \times \frac{W_n \times W_p}{(W_n + W_p) \times W_{\text{cel}}} \times \frac{1}{3}$$

$$= 12 \text{ A/cm}^2 \times \frac{12 \times 3}{30 \times 4} \times \frac{1}{3}$$

$$= 12 \text{ A/cm}^2$$

【0042】すなわち、UMOS-IGBT80では、寄生トランジスタの導通を避けつつ流し得る主電流の大きさは、わずかに 12 A/cm^2 である。大電力用IGBTの定格電流は、 $50 \sim 200 \text{ A/cm}^2$ であるので、このUMOS-IGBT80はそのままの構成では、大電力用として使用することができない。

【0043】また、UMOS-IGBT80では、半導体基体60に溝67が形成されることによって、半導体基体60の内部に欠陥を生じるという問題点がある。このことは、UMOS40においても同様である。図44に、この欠陥の様子を示す。この図44は、UMOS40の正面断面図であり、この断面をSEM（走査型電子顕微鏡）を用いて得られた像をもとに欠陥が描かれている。UMOS-IGBT80についても同様の欠陥が観察される。図44に示すように、溝7同士に挟まれた半導体基体20の部分に欠陥15が観察される。この欠陥15は、溝7の開口部を起点として、半導体基体20上主面に 45° に傾斜した面に沿って発生している。すなわち、欠陥15は半導体基体20の $\langle 111 \rangle$ 面に沿って発生したものと考えられる。また、溝7の底部からは欠陥が発生していないのは、この底部が比較的丸みを帯びているためであると考えられる。

【0044】この欠陥15は、UMOSでは実用上の問題を生起しないが、UMOS-IGBTでは、オン電圧 $V_{\text{CE(sat)}}$ の上昇をもたらす。まぜなら、欠陥15がN-半導体層64に到達すると、N-半導体層64が劣化する。UMOS-IGBTではバイポーラ・バイポーラトランジスタが重要な役割を果たしているので、N-半導体層64の劣化が進行すると、オン電圧 $V_{\text{CE(sat)}}$ が上昇する。すなわち、従来のUMOS-IGBTでは、溝67に起因する欠陥によってもオン電圧 $V_{\text{CE(sat)}}$ の低減が阻害されるという問題点があった。

【0045】また、電力用のUMOS、UMOS-IGBTでは、過度の温度上昇の防止、あるいは過電流を抑える目的で、これらをセンシングするためのセンス領域が、半導体基体60の上主面にしばしば設置される。図45は、UMOS-IGBT80におけるこのセンス領域の近傍を示す平面図である。図45には、エミッタ電極72を除去したUMOS-IGBT80の上主面、すなわち半導体基体60の上主面が描かれている。図45に示すように、半導体基体60の上主面には、ユニット・セル76が配列されたセル領域77に加えて、センス

パッド79およびセンス領域78が形成されている。センス領域78は、1本のユニット・セルで構成されている。このため、ユニット・セルの微細化を進めると、センス領域78で検出し得る信号が過小となるので、センシング機能が十分に果たし得ない。すなわち、センシング機能を維持したまま、オン電圧 $V_{\text{CE(sat)}}$ を低減することが困難であるという問題点があった。

【0046】また、UMOS40、UMOS-IGBT80では、ユニット・セルの微細化を進めることによって、素子そのもののオン電圧 $V_{\text{CE(sat)}}$ の低減が実現されたとしても、エミッタ電極72等と外部の電極とを電気的に接続し、主電流の経路となるワイヤに発生する電圧降下のために、そのことが装置全体としてのオン電圧 $V_{\text{CE(sat)}}$ の低減には十分には生かされないという問題点があった。

【0047】また、UMOS40では、溝7が格子状に形成されているので、溝7において十字「+」型に交差する部分が存在する。この十字型の交差部分では、ゲート電極10の埋め込みが円滑に行い難いという問題点があった。また、UMOS-IGBT80のように、溝7がストライプ状に形成されている装置においても、ストライプの端部などにおいては、T字「T」型、あるいはL字「L」型に交差する部分が存在する。これらのT字型、L字型の交差部分においても同様に、ゲート電極70の埋め込みが困難である。すなわち、従来のUMOS、UMOS-IGBTでは、ゲート電極10、70の埋め込みが容易でないという問題点があった。この問題は、ユニット・セルの微細化が進むほど深刻である。

【0048】以上のように、従来のUMOS、UMOS-IGBTでは、オン電圧（オン抵抗）の低減を阻害する要因があり、また破壊耐量を低減することも困難であるという問題点があった。さらに、ユニットセルの微細化にともなって、溝へのゲート電極の埋め込みが一層困難であるという問題点があった。

【0049】この発明は、上記のような問題点を解消するためになされたもので、オン電圧が低く、破壊耐量が高く、加えてゲートの埋め込みが容易な絶縁ゲート型トランジスタを得ることを目的としており、更にこの絶縁ゲート型トランジスタの製造に適した方法を提供することを目的とする。

【0050】

【課題を解決するための手段】 この発明にかかる請求項

1に記載の絶縁ゲート型半導体装置は、第1導電形式の第1半導体層と、当該第1半導体層の上に積層された第2導電形式の第2半導体層と、当該第2半導体層の上面に選択的に形成された第1導電形式の第3半導体層と、を有する半導体基体を備え、前記半導体基体には、前記上主面に沿って実質的にストライプ状に配列された複数の溝が、前記上主面から前記第1半導体層にまで達するように形成されており、前記第2半導体層と前記第3半導体層は、隣合う前記溝に挟まれた前記上主面に選択的に露出しており、前記溝には、当該溝の内壁を覆うように形成されたゲート絶縁膜を挟んで、ゲート電極が埋め込まれており、前記上主面に選択的に露出する前記第2および第3半導体層の双方に電気的に接続され、前記ゲート電極とは絶縁された第1主電極と、前記半導体基体の下主面に電気的に接続された第2主電極と、を更に備える絶縁ゲート型半導体装置において、前記第1主電極は、隣合う前記溝に挟まれた前記上主面の中に前記溝に沿って実質的に帯状に規定される第1領域において、前記上主面と電気的に接続されており、前記第3半導体層は、隣合う前記溝に挟まれた前記上主面の中に規定される第2領域と第3領域とに露出し、当該第3領域は、隣合う前記溝の内側に隣接するとともに当該溝に沿って中断することなく実質的に帯状に規定され、前記第2領域は、隣合う前記第3領域に挟まれた領域の一部に選択的に規定されている、ことを特徴とする。

【0051】この発明にかかる請求項2に記載の絶縁ゲート型半導体装置は、請求項1に記載の装置において、前記第2領域が、隣合う前記第3領域の間に架けわたされた架橋状に規定されることを特徴とする。

【0052】この発明にかかる請求項3に記載の絶縁ゲート型半導体装置は、第1導電形式の第1半導体層と、当該第1半導体層の上に積層された第2導電形式の第2半導体層と、当該第2半導体層の上面に選択的に形成された第1導電形式の第3半導体層と、を有する半導体基体を備え、前記半導体基体には、前記上主面に沿って実質的にストライプ状に配列された複数の溝が、前記上主面から前記第1半導体層にまで達するように形成されており、前記第2半導体層と前記第3半導体層は、隣合う前記溝に挟まれた前記上主面に選択的に露出しており、前記溝には、当該溝の内壁を覆うように形成されたゲート絶縁膜を挟んで、ゲート電極が埋め込まれており、前記上主面に選択的に露出する前記第2および第3半導体層の双方に電気的に接続され、前記ゲート電極とは絶縁された第1主電極と、前記半導体基体の下主面に電気的に接続された第2主電極と、を更に備える絶縁ゲート型半導体装置において、前記第1主電極と前記第2および第3半導体とが、白金シリサイドを有する導電層を挟んで電気的に接続されていることを特徴とする。

【0053】この発明にかかる請求項4に記載の絶縁ゲート型半導体装置は、請求項3に記載の装置において、

前記第1主電極と前記第2半導体層との間の接触面、および前記第1主電極と前記第3半導体層との間の接触面がともに矩形であって、それら一辺の幅が $0.5\mu\text{m} \sim 3\mu\text{m}$ の範囲であることを特徴とする。

【0054】この発明にかかる請求項5に記載の絶縁ゲート型半導体装置は、第1導電形式の第1半導体層と、当該第1半導体層の上に積層された第2導電形式の第2半導体層と、当該第2半導体層の上面に選択的に形成された第1導電形式の第3半導体層と、を有する半導体基体を備え、前記半導体基体には、前記上主面に沿って実質的にストライプ状に配列された複数の溝が、前記上主面から前記第1半導体層にまで達するように形成されており、前記第2半導体層と前記第3半導体層は、隣合う前記溝に挟まれた前記上主面に選択的に露出しており、前記溝には、当該溝の内壁を覆うように形成されたゲート絶縁膜を挟んで、ゲート電極が埋め込まれており、前記上主面に選択的に露出する前記第2および第3半導体層の双方に電気的に接続され、前記ゲート電極とは絶縁された第1主電極と、前記半導体基体の下主面に電気的に接続された第2主電極と、を更に備える絶縁ゲート型半導体装置において、前記第3半導体層と前記第2半導体層との境界面と前記溝との交線上の仮想的な点の中で、第2半導体層の前記上主面への露出面から最も遠い仮想点までの距離として規定される最大距離 L_{max} が、前記第2半導体層と前記第3半導体層との接合部に固有のビルト・イン・ポテンシャル V_{pn} 、前記第1主電極と前記第2主電極との間に当該装置の定格電流に相当する大きさの主電流を通電したときに、前記第3半導体層の直下の前記第2半導体層を流れる電流の密度 J_{pr} 、および前記第3半導体層の直下における前記第2半導体層の比抵抗 ρ_{pn} に対して、 $V_{\text{pn}} > J_{\text{pr}} \times \rho_{\text{pn}} \times L_{\text{max}}$ で与えられるように、前記第3半導体層の形状が設定されていることを特徴とする。

【0055】この発明にかかる請求項6に記載の絶縁ゲート型半導体装置は、第1導電形式の第1半導体層と、当該第1半導体層の上に積層された第2導電形式の第2半導体層と、当該第2半導体層の上面に選択的に形成された第1導電形式の第3半導体層と、を有する半導体基体を備え、前記半導体基体には、前記上主面に沿って実質的にストライプ状に配列された複数の溝が、前記上主面から前記第1半導体層にまで達するように形成されており、前記第2半導体層と前記第3半導体層は、隣合う前記溝に挟まれた前記上主面に選択的に露出しており、前記溝には、当該溝の内壁を覆うように形成されたゲート絶縁膜を挟んで、ゲート電極が埋め込まれており、前記上主面に選択的に露出する前記第2および第3半導体層の双方に電気的に接続され、前記ゲート電極とは絶縁された第1主電極と、前記半導体基体の下主面に電気的に接続された第2主電極と、を更に備える絶縁ゲート型半導体装置において、前記第3半導体層と前記第2半導

体層との境界面と前記溝との交線上の仮想的な点の中で、第2半導体層の前記上主面への露出面から最も遠い仮想点までの距離として規定される最大距離 L_{max} が、前記第2半導体層と前記第3半導体層との接合部に固有のビルト・イン・ポテンシャル V_{pn} 、前記第1主電極と前記第2主電極との間に当該装置の定格電流に相当する大きさの主電流を通电したときに、前記第3半導体層の直下の前記第2半導体層を流れる電流の密度 J_{pr} 、前記第1主電極と前記第2主電極との間に短絡負荷を接続したときの主電流の大きさと定格電流との比率 n 、および前記第3半導体層の直下における前記第2半導体層の比抵抗 ρ_{pn} に対して、 $V_{pn} > n \times J_{pr} \times \rho_{pn} \times L_{max}$ で与えられるように、前記第3半導体層の形状が設定されていることを特徴とする。

【0056】この発明にかかる請求項7に記載の絶縁ゲート型半導体装置は、第1導電形式の第1半導体層と、当該第1半導体層の上に積層された第2導電形式の第2半導体層と、当該第2半導体層の上面に選択的に形成された第1導電形式の第3半導体層と、を有する半導体基体を備え、前記半導体基体には、前記上主面に沿って実質的にストライプ状に配列された複数の溝が、前記上主面から前記第1半導体層にまで達するように形成されており、前記第2半導体層と前記第3半導体層は、隣合う前記溝に挟まれた前記上主面に選択的に露出しており、前記溝には、当該溝の内壁を覆うように形成されたゲート絶縁膜を挟んで、ゲート電極が埋め込まれており、前記上主面に選択的に露出する前記第2および第3半導体層の双方に電氣的に接続され、前記ゲート電極とは絶縁された第1主電極と、前記半導体基体の下主面に電氣的に接続された第2主電極と、を更に備える絶縁ゲート型半導体装置において、前記第1主電極と前記第2主電極の間を流れる主電流の大きさを、所定の制限電流値を超えないように制限する過電流保護手段を更に備え、前記第3半導体層と前記第2半導体層との境界面と前記溝との交線上の仮想的な点の中で、第2半導体層の前記上主面への露出面から最も遠い仮想点までの距離として規定される最大距離 L_{max} が、前記第2半導体層と前記第3半導体層との接合部に固有のビルト・イン・ポテンシャル V_{pn} 、前記第1主電極と前記第2主電極との間に当該装置の定格電流に相当する大きさの主電流を通电したときに、前記第3半導体層の直下の前記第2半導体層を流れる電流の密度 J_{pr} 、前記制限電流値と定格電流との比率 m 、および前記第3半導体層の直下における前記第2半導体層の比抵抗 ρ_{pn} に対して、 $V_{pn} > n \times J_{pr} \times \rho_{pn} \times L_{max}$ で与えられるように、前記第3半導体層の形状が設定されていることを特徴とする。

【0057】この発明にかかる請求項8に記載の絶縁ゲート型半導体装置は、第1導電形式の第1半導体層と、当該第1半導体層の上に積層された第2導電形式の第2半導体層と、当該第2半導体層の上面に選択的に形成さ

れた第1導電形式の第3半導体層と、を有する半導体基体を備え、前記半導体基体には、前記上主面に沿って実質的にストライプ状に配列された複数の溝が、前記上主面から前記第1半導体層にまで達するように形成されており、前記第2半導体層と前記第3半導体層は、隣合う前記溝に挟まれた前記上主面に選択的に露出しており、前記溝には、当該溝の内壁を覆うように形成されたゲート絶縁膜を挟んで、ゲート電極が埋め込まれており、前記上主面に選択的に露出する前記第2および第3半導体層の双方に電氣的に接続され、前記ゲート電極とは絶縁された第1主電極と、前記半導体基体の下主面に電氣的に接続された第2主電極と、を更に備える絶縁ゲート型半導体装置において、前記半導体基体の上主面は $<100>$ 結晶面に沿っており、前記上主面における前記溝の開口端を含むとともに当該上主面と 45° の傾斜角をもって傾斜する仮想面と当該溝に隣合う溝の壁面との交線よりも、前記第1半導体層と前記第2半導体層との境界面が下方に位置するように、前記第2半導体層の厚さと当該複数の溝の形状とが設定されていることを特徴とする。

【0058】この発明にかかる請求項9に記載の絶縁ゲート型半導体装置は、トレンチ・ゲートを有する複数の絶縁ゲート型半導体素子が単一の半導体基体に実質的にストライプ状に配列された絶縁ゲート型半導体装置において、当該装置の主電流の大きさまたは前記半導体基体の温度を検出するセンシング手段を備え、当該センシング手段が複数の前記絶縁ゲート型半導体素子を有することを特徴とする。

【0059】この発明にかかる請求項10に記載の絶縁ゲート型半導体装置は、トレンチ・ゲートを有するとともに互いに同一構造の複数の絶縁ゲート型半導体素子が単一の半導体基体に実質的にストライプ状に等間隔に配列された絶縁ゲート型半導体装置において、前記半導体基体の1つの主面に接続される主電極と外部の電極とを電氣的に結合するための複数の配線が、当該主電極に接続されており、前記複数の絶縁ゲート型半導体素子が前記半導体基体に占める領域を前記主面に沿って略均等に仮想的に分割してなる複数の単位領域毎に前記配線の各1が接続されていることを特徴とする。

【0060】この発明にかかる請求項11に記載の絶縁ゲート型半導体装置は、請求項10に記載の装置において、面積が $2\text{mm}^2 \sim 4\text{mm}^2$ の範囲の前記単位領域毎に前記複数の配線の各1が接続されていることを特徴とする。

【0061】この発明にかかる請求項12に記載の絶縁ゲート型半導体装置は、トレンチ・ゲートを有する複数の絶縁ゲート型半導体素子が単一の半導体基体に実質的に直線的なストライプ状に配列された絶縁ゲート型半導体装置において、前記半導体基体における前記トレンチ・ゲートが形成されている側の主面に接続される主電極

と外部の電極とを電氣的に結合するための配線が当該主電極に接続されており、しかも、当該配線の方法と前記絶縁ゲート型半導体素子の方向とが $20^{\circ} \sim 160^{\circ}$ の範囲の角度をもって交差するように前記配線が接続されていることを特徴とする。

【0062】この発明にかかる請求項13に記載の絶縁ゲート型半導体装置は、トレンチ・ゲートを有する複数の絶縁ゲート型半導体素子が単一の半導体基体を実質的にストライプ状に配列された絶縁ゲート型半導体装置において、前記絶縁ゲート型半導体素子の各1は、直線状ないし滑らかな曲線状に形成されており、それとともに、当該素子に属する前記トレンチ・ゲートは当該素子に沿って直線状ないし滑らかな曲線状に形成されているとともに、他の絶縁ゲート型半導体素子に属する前記トレンチ・ゲートとは交差しないように形成されていることを特徴とする。

【0063】この発明にかかる請求項14に記載の絶縁ゲート型半導体装置の製造方法は、トレンチ・ゲートを有する複数の絶縁ゲート型半導体素子が単一の半導体基体を実質的にストライプ状に配列された絶縁ゲート型半導体装置を製造する方法であって、(a) 上主面と下主面とを規定するとともに当該上主面に露出する第1導電形式の第1半導体層を備える半導体基体を準備する工程と、(b) 前記半導体基体の上主面に第2導電形式の不純物を導入することによって、前記半導体基体の上主面に露出する第2導電形式の第2半導体層を、前記第1半導体層の上面部分に形成する工程と、(c) 前記半導体基体の上主面が格子状に露出するように当該上面を選択的に覆う第1マスクを形成する工程と、(d) 前記第1マスクを遮蔽体として前記半導体基体の上主面に第1導電形式の不純物を選択的に導入することによって、当該上主面に格子状に露出する第1導電形式の第3半導体層を、前記第2半導体層の上面部分に選択的に形成する工程と、(e) 前記第1マスクを除去する工程と、(f) 前記工程(e)の後に、前記第3半導体層の前記格子状の露出面に沿ってストライプ状に開口するとともに、当該格子状の露出面の幅方向端部の内側に開口する第2マスクを前記半導体基体の上主面の上面に形成する工程と、(g) 前記第2マスクを遮蔽体として、前記半導体基体の上主面からエッチングを選択的に施すことによって、前記第2マスクの開口部の直下に前記第1半導体層に達するストライプ状の溝を形成する工程と、(h) 前記第2マスクを除去する工程と、(i) 前記工程(h)の後に、前記溝の内壁および前記半導体基体の上主面とを覆う第1絶縁膜を形成する工程と、(j) 前記第1絶縁膜に覆われた前記溝にゲート電極を埋設する工程と、(k) 前記第1絶縁膜および前記ゲート電極の上に第2絶縁膜を形成する工程と、(l) 隣合う前記ストライプ状の溝に挟まれた前記半導体基体の上主面に、当該溝から離れるとともに当該溝に沿って実質的に帯状に開口する第3マスクを形成する工程

と、(m) 前記第3マスクを遮蔽体として、前記第2絶縁膜にエッチングを選択的に施すことにより、当該第2絶縁膜を選択的に除去する工程と、(n) 前記第3マスクを除去する工程と、(o) 前記工程(n)の後に、前記第2絶縁膜およびその除去された部分を覆うように第1導電体を形成する工程と、(p) 前記半導体基体の下主面に第2導電体を形成する工程と、を備える。

【0064】この発明にかかる請求項15に記載の絶縁ゲート型半導体装置の製造方法は、トレンチ・ゲートを有する複数の絶縁ゲート型半導体素子が単一の半導体基体を実質的にストライプ状に配列された絶縁ゲート型半導体装置を製造する方法であって、(a) 上主面と下主面とを規定するとともに当該上主面に露出する第1導電形式の第1半導体層を備える半導体基体を準備する工程と、(b) 前記半導体基体の上主面に第2導電形式の不純物を導入することによって、前記半導体基体の上主面に露出する第2導電形式の第2半導体層を、前記第1半導体層の上面部分に形成する工程と、(c) 前記半導体基体の上主面を選択的に覆う第1マスクを形成する工程と、(d) 前記第1マスクを遮蔽体として前記半導体基体の上主面に第1導電形式の不純物を選択的に導入することによって、当該上主面に選択的に露出する第1導電形式の第3半導体層を、前記第2半導体層の上面部分に選択的に形成する工程と、(e) 前記第1マスクを除去する工程と、(f) 前記工程(e)の後に、ストライプ状に開口する第2マスクを前記半導体基体の上主面の上面に形成する工程と、(g) 前記第2マスクを遮蔽体として、前記半導体基体の上主面からエッチングを選択的に施すことによって、前記第2マスクの開口部の直下に前記第1半導体層に達するストライプ状の溝を形成する工程と、(h) 前記第2マスクを除去する工程と、(i) 前記工程(h)の後に、前記溝の内壁および前記半導体基体の上主面とを覆う第1絶縁膜を形成する工程と、(j) 前記第1絶縁膜に覆われた前記溝にゲート電極を埋設する工程と、(k) 前記第1絶縁膜および前記ゲート電極の上に第2絶縁膜を形成する工程と、(l) 隣合う前記ストライプ状の溝に挟まれた前記半導体基体の上主面に、当該溝から離れるとともに当該溝に沿って実質的に帯状に開口する第3マスクを形成する工程と、(m) 前記第3マスクを遮蔽体として、前記第2絶縁膜にエッチングを選択的に施すことにより、当該第2絶縁膜を選択的に除去する工程と、(n) 前記第3マスクを除去する工程と、(o) 前記工程(n)の後に、前記第2絶縁膜を遮蔽体として、白金を含む元素を前記半導体基体の上主面に選択的に導入することによって、白金シリサイドを有する導電層を、当該半導体基体の上主面部分に選択的に形成する工程と、(p) 前記第2絶縁膜およびその除去された部分を覆うように第1導電体を形成する工程と、(q) 前記半導体基体の下主面に第2導電体を形成する工程と、を備える。

【0065】この発明にかかる請求項16に記載の絶縁

ゲート型半導体装置の製造方法は、トレンチ・ゲートを有する複数の絶縁ゲート型半導体素子が単一の半導体基体を実質的にストライプ状に配列された絶縁ゲート型半導体装置を製造する方法であって、(a) 上主面と下主面とを規定するとともに当該上主面に露出する第1導電形式の第1半導体層を備える半導体基体を準備する工程と、(b) 前記半導体基体の上主面に第2導電形式の不純物を導入することによって、前記半導体基体の上主面に露出する第2導電形式の第2半導体層を、前記第1半導体層の上面部分に形成する工程と、(c) 前記半導体基体の上主面を選択的に覆う第1マスクを形成する工程と、(d) 前記第1マスクを遮蔽体として前記半導体基体の上主面に第1導電形式の不純物を選択的に導入することによって、当該上主面を選択的に露出する第1導電形式の第3半導体層を、前記第2半導体層の上面部分に選択的に形成する工程と、(e) 前記第1マスクを除去する工程と、(f) 前記工程(e)の後に、ストライプ状に開口する第2マスクを前記半導体基体の上主面の上面に形成する工程と、(g) 前記第2マスクを遮蔽体として、前記半導体基体の上主面からエッチングを選択的に施すことによって、前記第2マスクの開口部の直下に前記第1半導体層に達するストライプ状の溝を形成する工程と、(h) 前記第2マスクを除去する工程と、(i) 前記工程(h)の後に、前記溝の内壁および前記半導体基体の上主面とを覆う第1絶縁膜を形成する工程と、(j) 前記第1絶縁膜に覆われた前記溝を埋めるとともに当該第1絶縁膜に覆われた前記半導体基体の上主面の上方に一定以上の厚みをもつように、ポリシリコン層を積層させる工程と、(k) 前記ポリシリコン層の上面にエッチングを施すことにより、前記半導体基体の上主面からの厚みを所定の大きさに調整する工程と、(l) 厚みが調整された前記ポリシリコン層の上面に所定のパターンを有する第3マスクを形成する工程と、(m) 前記第3マスクを遮蔽体として、前記ポリシリコン層に選択的にエッチングを施すことにより、ゲート電極として機能する前記溝に埋設された部分とゲート配線として機能する当該第3マスクに覆われた部分とを除いて当該ポリシリコン層を除去する工程と、(n) 前記第3マスクを除去する工程と、(o) 前記工程(n)の後に、前記第1絶縁膜および前記ゲート電極の上に第2絶縁膜を形成する工程と、(p) 隣合う前記ストライプ状の溝に挟まれた前記半導体基体の上主面に、当該溝から離れるとともに当該溝に沿って実質的に帯状に開口する第4マスクを形成する工程と、(q) 前記第4マスクを遮蔽体として、前記第2絶縁膜にエッチングを選択的に施すことにより、当該第2絶縁膜を選択的に除去する工程と、(r) 前記第4マスクを除去する工程と、(s) 前記工程(r)の後に、前記第2絶縁膜およびその除去された部分を覆うように第1導電体を形成する工程と、(t) 前記半導体基体の下主面に第2導電体を形成する工程と、を備える。

【0066】この発明にかかる請求項17に記載の絶縁ゲート型半導体装置の製造方法は、トレンチ・ゲートを有する複数の絶縁ゲート型半導体素子が単一の半導体基体を実質的にストライプ状に配列された絶縁ゲート型半導体装置を製造する方法であって、(a) 上主面と下主面とを規定するとともに当該上主面に露出する第1導電形式の第1半導体層を備える半導体基体を準備する工程と、(b) 前記半導体基体の上主面に第2導電形式の不純物を導入することによって、前記半導体基体の上主面に露出する第2導電形式の第2半導体層を、前記第1半導体層の上面部分に形成する工程と、(c) 前記半導体基体の上主面を選択的に覆う第1マスクを形成する工程と、(d) 前記第1マスクを遮蔽体として前記半導体基体の上主面に第1導電形式の不純物を選択的に導入することによって、当該上主面を選択的に露出する第1導電形式の第3半導体層を、前記第2半導体層の上面部分に選択的に形成する工程と、(e) 前記第1マスクを除去する工程と、(f) 前記工程(e)の後に、ストライプ状に開口する第2マスクを前記半導体基体の上主面の上面に形成する工程と、(g) 前記第2マスクを遮蔽体として、前記半導体基体の上主面からエッチングを選択的に施すことによって、前記第2マスクの開口部の直下に前記第1半導体層に達するストライプ状の溝を形成する工程と、(h) 前記第2マスクを除去する工程と、(i) 前記工程(h)の後に、前記溝の内壁および前記半導体基体の上主面とを覆う第1絶縁膜を形成する工程と、(j) 前記第1絶縁膜に覆われた前記溝を埋めるとともに当該第1絶縁膜に覆われた前記半導体基体の上主面の上方に所定の厚みをもつように、ポリシリコン層を積層させる工程と、(k) 前記ポリシリコン層の上面に所定のパターンを有する第3マスクを形成する工程と、(l) 前記第3マスクを遮蔽体として、前記ポリシリコン層に選択的にエッチングを施すことにより、ゲート電極として機能する前記溝に埋設された部分とゲート配線として機能する当該第3マスクに覆われた部分とを除いて当該ポリシリコン層を除去する工程と、(m) 前記第3マスクを除去する工程と、(n) 前記工程(m)の後に、前記第1絶縁膜および前記ゲート電極の上に第2絶縁膜を形成する工程と、(o) 隣合う前記ストライプ状の溝に挟まれた前記半導体基体の上主面に、当該溝から離れるとともに当該溝に沿って実質的に帯状に開口する第4マスクを形成する工程と、(p) 前記第4マスクを遮蔽体として、前記第2絶縁膜にエッチングを選択的に施すことにより、当該第2絶縁膜を選択的に除去する工程と、(q) 前記第4マスクを除去する工程と、(r) 前記工程(q)の後に、前記第2絶縁膜およびその除去された部分を覆うように第1導電体を形成する工程と、(s) 前記半導体基体の下主面に第2導電体を形成する工程と、を備える。

【0067】

【作用】

<請求項1に記載の発明の作用>この発明の装置では、実質的に帯状の第3領域に挟まれた領域の一部に規定される第2領域に第3半導体層が露出しているため、第3半導体層と第1主電極との間の電氣的接続を保証するために必要な第1領域の位置精度が緩和される。すなわち、第1領域を規定するマスク合わせの精度が緩和される。しかも、第3半導体層は溝に隣接するとともに溝に沿って中断することなく規定される第3領域に露出するように形成されているので、ゲート電極に対向する第2半導体層の部分であるチャンネル領域が、溝に沿って途切れることなく形成される。

【0068】<請求項2に記載の発明の作用>この発明の装置では、第2領域が隣合う第3領域の間に架けわたされた架橋状に規定される。すなわち、第2領域は隣合う第3領域の双方につながっている。このため、第1領域の位置がずれても、第3半導体層と第1主電極との間の電氣的接続が保証される。

【0069】<請求項3に記載の発明の作用>この発明の装置では、第1主電極と第2および第3半導体層とが、白金シリサイドを有する導電層を挟んで電氣的に接続されているので、それらの間のコンタクト抵抗が低減される。第3半導体と第1主電極とのコンタクト抵抗が低減されるので、微細化によって第3半導体層と第1主電極との接触面積が減少してもオン電圧が上昇しない。また、第2半導体層と第1主電極とのコンタクト抵抗が低減されるために、寄生トランジスタが導通し難い。

【0070】<請求項4に記載の発明の作用>この発明の装置では、接触面の幅が最適化されているので、白金シリサイドを有する導電層によるコンタクト抵抗の低減効果が著しい。

【0071】<請求項5に記載の発明の作用>この発明の装置では、 $V_{pn} > J_{pr} \times \rho_{pn} \times L_{max}$ の関係を満たすように第3半導体層の形状が設定されているので、装置に定格電流に相当する大きさの主電流を通电しても第2半導体層と第3半導体層との間の接合部に発生するバイアス電圧は、ビルト・イン・ポテンシャル V_{pn} を超えることがない。

【0072】<請求項6に記載の発明の作用>この発明の装置では、 $V_{pn} > n \times J_{pr} \times \rho_{pn} \times L_{max}$ の関係を満たすように第3半導体層の形状が設定されているので、装置の負荷を短絡させた状態で主電流を通电しても第2半導体層と第3半導体層との間の接合部に発生するバイアス電圧は、ビルト・イン・ポテンシャル V_{pn} を超えることがない。

【0073】<請求項7に記載の発明の作用>この発明の装置では、過電流保護手段が備わるので、装置の負荷を短絡させた状態で主電流を通电しても、主電流の大きさは制限電流値を超えない。しかも、 $V_{pn} > m \times J_{pr} \times \rho_{pn} \times L_{max}$ の関係を満たすように第3半導体層の形状が設定されているので、装置の負荷を短絡させた

状態で主電流を通电しても第2半導体層と第3半導体層との間の接合部に発生するバイアス電圧は、ビルト・イン・ポテンシャル V_{pn} を超えることがない。

【0074】<請求項8に記載の発明の作用>この発明の装置では、半導体基体の上主面が<100>結晶面に沿っているので、溝の開口端を起点とする欠陥は、<111>結晶面、すなわち上主面と45°の傾斜角をもって傾斜する仮想面に沿って伝播し、この仮想面と隣合う溝の壁面との交線で伝播が止まる。そして、第1半導体層と第2半導体層との境界面が、この交線よりも下方にあるので、欠陥の伝播は第1半導体層には及ばない。すなわち、半導体基体に欠陥が発生しても、それが第1半導体層へ侵入することはない。

【0075】<請求項9に記載の発明の作用>この発明の装置では、センシング手段が複数の素子を有するので、素子の微細化にともなって1個の素子の出力信号の強さが低下しても、センシング手段全体の出力信号を高く維持することができる。

【0076】<請求項10に記載の発明の作用>この発明の装置では、同一構造の複数の絶縁ゲート型半導体素子が等間隔に配列されているので、この絶縁ゲート型半導体素子が占める領域を均等に仮想分割されてなる単位領域には互いに均等の大きさの主電流が流れる。そして、略均等に仮想分割されてなる単位領域毎に配線の各1が接続されるので、各配線の接続部から絶縁ゲート型半導体素子までの主電流の経路の最長距離がほぼ最小となる。その結果、主電流によって主電極に引き起こされる電圧降下は、配線の数に一定である条件の下ではほぼ最低となる。

【0077】<請求項11に記載の発明の作用>この発明の装置では、1本の配線が主電流を分担する単位領域の面積、言い替えると配線の本数が最適化されているので、絶縁ゲート型半導体素子自体のオン電圧に比べて、配線および主電極における電圧降下が十分に低い。

【0078】<請求項12に記載の発明の作用>この発明の装置では、配線の方角と絶縁ゲート型半導体素子の方角とが最適な角度をもって交差するので、配線とゲート電極との間の短絡故障が発生し難い。

【0079】<請求項13に記載の発明の作用>この発明の装置では、各絶縁ゲート型半導体素子に属するトレンチ・ゲートが直線状ないし滑らかな曲線状に形成されているので、トレンチ・ゲートにL字「L」型の折れ曲がり部が存在しない。しかも、他の素子に属するトレンチ・ゲートとは交差しないので、トレンチ・ゲートに十字「+」、T字「T」等のいずれの交差部も存在しない。

【0080】<請求項14に記載の発明の作用>この発明の製造方法は、ストライプ状に配設されるトレンチ・ゲートに挟まれた半導体基体の上主面において、トレンチ・ゲートに隣接する梯子状に第3半導体層が露出する

絶縁ゲート型半導体装置の製造に適している。

【0081】＜請求項15に記載の発明の作用＞この発明の製造方法は、半導体基体と主電極の間に白金シリサイドの導電層を有する絶縁ゲート型半導体装置の製造に適している。

【0082】＜請求項16に記載の発明の作用＞この発明の製造方法は、ゲート電極とともにゲート配線がポリシリコンで構成される絶縁ゲート型半導体装置の製造に適している。

【0083】＜請求項17に記載の発明の作用＞この発明の製造方法は、ゲート電極とともにゲート配線がポリシリコンで構成される絶縁ゲート型半導体装置の製造に適している。

【0084】

【実施例】

＜実施例の装置の全体構成＞はじめに、各実施例において取り上げるUMOS-IGBTおよびUMOSの全体構成、およびこれらの装置が組み込まれた製品の全体構成について説明する。

【0085】図2は、この実施例の装置が組み込まれた製品の全体構成の一例を示す部分透視斜視図である。この装置100には、半導体チップとしての電力用UMOS-IGBT110が組み込まれている。この装置90は、大電力用として構成されている。UMOS-IGBT110は、基板114の上に固定されており、基板114は、更に放熱板115の上に固定されている。また、UMOS-IGBT100は、筐体116の中に収納されている。筐体116には外部コレクタ電極111、外部エミッタ電極112、および外部ゲート電極113の一端が、それぞれ外側に露出している。これらの電極は、それぞれ、UMOS-IGBT100の図示しないコレクタ電極、エミッタ電極、およびゲート電極と電気的に接続されている。コレクタ電極およびゲート電極と、それらの外部電極とは、例えばアルミニウムのワイヤ117を中継することによって電気的に接続されている。

【0086】図3は、図2の装置よりは定格電力が低い中電力用UMOS-IGBT120が組み込まれた装置の一例を示す斜視図である。図3は、モールド樹脂を除いて描かれており、モールド樹脂は2点鎖線で描かれている。この装置101では、UMOS-IGBT120は、補強材および放熱板として機能する銅フレーム125の上に固定されている。また、UMOS-IGBT120は、モールド樹脂126によって封止されている。モールド樹脂126の外側には、外部コレクタ電極121、外部エミッタ電極122、および外部ゲート電極123の一端が、それぞれ露出している。これらの電極は、それぞれ、UMOS-IGBT120の図示しないコレクタ電極、エミッタ電極、およびゲート電極に、電気的に接続されている。コレクタ電極およびゲート電

極と、それらの外部電極とは、例えばアルミニウムのワイヤ127を中継することによって電気的に接続されている。

【0087】図4は、UMOS-IGBT110の平面図である。UMOS-IGBT120も同様の構成を取り得る。図4に示すように、UMOS-IGBT110の上面には、一辺の中央部に隣接するように矩形のゲートパッドGPが設けられ、ゲートパッドGPにはさらに一体的に形成されたゲート配線GLが接続されている。ゲート配線GLは、UMOS-IGBT110の上面の外周に沿って配設されるとともに、一辺から対向する他の一辺へ向かって櫛歯状に突出するように配設されている。

【0088】ゲート配線GLに包囲された領域の一部に、センス・パッドSPが設置されている。センス・パッドSPを除く、ゲート配線GLに包囲される領域の全面にわたって、エミッタ電極212が形成されている。図示を略するが、エミッタ電極212の下方（図4では、向かって奥側）には、IGBT素子で構成されるユニット・セルが、櫛歯状のゲート配線GLに直交するストライプ状に多数配列している。このユニット・セルが配列される領域を“セル領域CR”と称する。これらゲート配線GL、ゲートパッドGP、およびセンス・パッドSPは導電体、例えばアルミニウムで構成される。

【0089】以上の説明では、一例としてUMOS-IGBTを取り上げたが、UMOSにおいても同様である。

【0090】＜第1実施例＞つぎに、この発明の第1実施例について説明する。図1は、UMOS-IGBT110におけるセル領域CRの一部領域151（図4）の直下に相当する部分を拡大して示す断面斜視図である。また、図5は、領域151の平面図である。領域151を切断するA-A線（図4）を、図1および図5にも同時に示す。

【0091】これらの図1、図5には、2本のユニットセルが描かれている。図1に示すように、UMOS-IGBT110では、高濃度のP型不純物を含むP+コレクタ層202を構成する半導体基板の上に、高濃度のN型不純物を含んだN+バッファ層203が形成されており、更に、このN+バッファ層203の上に、低濃度のN型不純物を含んだN-半導体層（第1半導体層）204が形成されている。また、このN-半導体層204の上にはP型の不純物を拡散することによりPベース層（第2半導体層）205が形成されている。更に、Pベース層205の上主面には、高濃度のN型不純物を選択的に拡散することによって、N+エミッタ層（第3半導体層）206が選択的に形成されている。これらの5つの半導体層によって平板状の半導体基体200が構成されている。

【0092】この半導体基体200の上主面には、溝

(トレンチ) 207が形成されている。溝207は、櫛歯状のゲート配線GL (図4) に直交するストライプ状に形成されている。N+ エミッタ層206は、溝207に挟まれたPベース層205の上主面に梯子状に露出するように形成されている。溝207は、半導体基体200の上主面からN+ エミッタ層206およびPベース層205を貫通し、N- 半導体層204にまで達している。溝207の内壁面には、ゲート絶縁膜209が形成されており、その内側にはポリシリコンで構成されるゲート電極(トレンチ・ゲート) 210が埋め込まれている。ゲート電極210に対向し、しかもN+エミッタ層206とN- 半導体層204とに挟まれたPベース層205の領域が、チャネル領域208として機能する。

【0093】半導体基体200の下主面、すなわちP+ コレクタ層202の下主面にはコレクタ電極213が形成されている。一方、半導体基体200の上主面において、N+ エミッタ層206と、Pベース層205とに、エミッタ電極(第1主電極) 212が接続されている。図1および図5では、エミッタ電極(第2主電極) 212が接続される帯状領域(第1領域) Raの境界線を2点鎖線で表現している。

【0094】このUMOS-IGBT110を使用するには、まず、外部電源を接続することによって、コレクタ電極213とエミッタ電極212との間に正方向にコレクタ電圧 V_{CE} を印加する。この状態で、ゲート電極210とエミッタ電極212の間に正方向に、所定のゲート閾電圧 $V_{GE(th)}$ を超えるゲート電圧 V_{GE} を印加する(すなわち、ゲートをオンする) と、P型のチャネル領域208が、N型へと反転することにより、チャネル領域208にN型のチャネルが形成される。エミッタ電極72からN+ エミッタ層206を経由した電子がN- 半導体層204へ注入される。この注入された電子により、P+ コレクタ層202とN- 半導体層204 (N+ バッファ層203を含む) との間が順バイアスされるので、P+ コレクタ層202からN- 半導体層204へとホールが注入される。その結果、N- 半導体層204の抵抗が大幅に低下するので、コレクタ電極213からエミッタ電極212へと大きな主電流(コレクタ電流) が流れる。

【0095】つぎに、ゲート電圧 V_{GE} をゼロあるいはマイナス(逆バイアス)の値に戻す(ゲートをオフする) と、チャネル領域208に形成されたチャネルは消滅し、チャネル領域8は本来のP型の導電形式へ復帰する。その結果、エミッタ電極72からの電子の注入が止まるので、P+ コレクタ層202からのホールの注入も停止する。その後、N- 半導体層204 (およびN+ バッファ層203) に溜まっていた電子とホールは、それぞれコレクタ電極213およびエミッタ電極212へと回収されるか、または互いに再結合する。

【0096】UMOS-IGBT110では、N+ エミ

ッタ層206が溝207に挟まれた半導体基体200の上主面に梯子状に露出するので、エミッタ電極212と半導体基体200の上主面との接触面である帯状領域Raの位置(図における2点鎖線) がずれていても、N+ エミッタ層206とエミッタ電極212との間の電氣的接触が保証される。なぜなら帯状領域Raは、その位置に依存することなく、梯子状に露出するN+ エミッタ層206の横木(クロスバー) に相当する"クロスバー領域"(第2領域) 206aとの重複部分が存在するからである。

【0097】また、梯子状のN+ エミッタ層206の露出面に囲まれたPベース層205の矩形の露出面も、同様にエミッタ電極212との電氣的接触が保証される。このため、冗長設計を必要としないので、ユニット・セルの微細化が行い易いという利点がある。

【0098】しかも、クロスバー領域206aとともに"梯子"を構成するN+ エミッタ層206の"帯状領域"(第3領域) 206bが溝207に沿って形成されているので、チャネル領域208は、ゲート電極210に沿って連続的に形成されている。このため、UMOS-IGBT110では、ユニット・セルの微細化が、オン電圧 $V_{CE(sat)}$ の低減に効果的に生かされるという利点がある。

【0099】なお、N+ エミッタ層206の露出面は、必ずしも"梯子"状でなくともよい。例えば帯状領域206bなどのように溝207の両側に沿った領域と、それらに挟まれた領域の一部領域とに露出するように形成されておれば、帯状領域Raの位置精度が緩和される。また、この実施例で説明したN+ エミッタ層206の露出面の形状は、例えばUMOSにおいても同様の効果を奏する。

【0100】<第2実施例>この第2実施例では、UMOS-IGBT110におけるエミッタ電極212と半導体基体200との間の接触部分の構造について説明する。図6は、UMOS-IGBT110のA-A線に沿った断面図である。

【0101】図6に示すように、ゲート電極210の上面を絶縁層211が覆っており、この絶縁層211によってエミッタ電極212とゲート電極210との間の絶縁が保たれている。また、エミッタ電極212と半導体基体200の上主面との接触面には、白金シリサイド層(導電層) 214が形成されている。すなわち、エミッタ電極212とPベース層205の露出面、およびエミッタ電極212とN+ エミッタ層206の露出面は、それぞれ白金シリサイド層214を介して電氣的に接触している。この白金シリサイド層214によって、エミッタ電極212と2つの半導体層との間のコンタクト抵抗が低減される。好ましくは、エミッタ電極212と半導体基体200との接触面の幅、すなわちコンタクト幅 W_{con} は、 $0.5\mu m \sim 3\mu m$ に設定される。

【0102】この接触抵抗の低減効果を確認するために実証実験を行った。図7～図10は、この実証実験の結果を示すグラフである。この実証実験は、エミッタ電極212と半導体基体200との接触面の部分を等価的に再現した試料を用いて行われた。接触面の形状は矩形に設定され、一辺の長さ、すなわちコンタクト長は $5\mu\text{m}$ に設定された。また、白金シリサイド層214の材料として2種類の白金シリサイド、すなわちPtSi/AlSiとPtSi/TiW/AlSiが選ばれた。

【0103】図7および図8は、他の一辺の長さ、すなわちコンタクト幅 W_{con} を様々に変えたときのコンタクト抵抗の実測値を示す。図7および図8には、白金シリサイド層214の代わりに、従来一般的なAlSiまたはTiW/AlSiで構成される層が形成された試料の実測値も、比較のために示している。図7はN+エミッタ層206におけるコンタクト抵抗に関する結果であり、図8はPベース層205に関するものである。

【0104】図7に示すように、N+エミッタ層206におけるコンタクト抵抗は、PtSi/AlSiまたはPtSi/TiW/AlSiの何れを用いた試料でも、従来仕様、すなわちAlSiまたはTiW/AlSiの何れの場合よりも、コンタクト幅 W_{con} が $0.5\mu\text{m} \sim 3\mu\text{m}$ の範囲では、10分の1以下に低くなっている。

【0105】また、図8に示すように、Pベース層205におけるコンタクト抵抗は、PtSi/AlSiまたはPtSi/TiW/AlSiの何れを用いた試料でも、コンタクト幅 W_{con} が $0.5\mu\text{m} \sim 3\mu\text{m}$ の範囲では、TiW/AlSiを用いた従来仕様よりは10分の1以下である。また、AlSiを用いた従来仕様と比べると、PtSi/AlSiを用いた試料ではほぼ同等であり、PtSi/TiW/AlSiを用いた試料では、約2分の1程度に低くなっている。

【0106】図9および図10は、不純物濃度を様々に変えたときのコンタクト抵抗の実測値を示す。図9および図10には、AlSiまたはTiW/AlSiを用いた従来仕様の試料における実測値も示している。図9はN+エミッタ層206におけるコンタクト抵抗に関する結果であり、図10はPベース層205に関するものである。

【0107】図9に示すように、N+エミッタ層206におけるコンタクト抵抗は、PtSi/AlSiまたはPtSi/TiW/AlSiの何れを用いた試料でも、従来仕様、すなわちAlSiまたはTiW/AlSiの何れの場合よりも、少なくともリンの濃度が $10^{14}\text{cm}^{-2} \sim 10^{16}\text{cm}^{-2}$ である実用的な範囲では、10分の1以下に低くなっている。しかも、PtSi/AlSiまたはPtSi/TiW/AlSiの何れを用いた試料でも、不純物濃度に対して殆ど依存しないという特徴が見られる。従来仕様の試料においては、不純物濃度の増加

にともなってコンタクト抵抗が下降しており、実施例の試料における特徴を際立たせている。

【0108】また、図10に示すように、Pベース層205におけるコンタクト抵抗は、PtSi/AlSiまたはPtSi/TiW/AlSiの何れを用いた試料でも、少なくともボロンの濃度が $10^{14}\text{cm}^{-2} \sim 10^{16}\text{cm}^{-2}$ の範囲では、TiW/AlSiを用いた従来仕様よりは10分の1以下である。また、AlSiを用いた従来仕様と比べると、PtSi/AlSiを用いた試料ではほぼ同等であり、PtSi/TiW/AlSiを用いた試料でも幾分低くなっている。

【0109】以上の実証実験の結果から、UMOS-IGBT110では、白金シリサイド層214が形成されるので、まずN+エミッタ層206とエミッタ電極212との間のコンタクト抵抗が低減される。このため、オン電圧 $V_{\text{CE(sat)}}$ が低減される。また、N+エミッタ層206とエミッタ電極212との間のコンタクト抵抗が低減されるので、ユニット・セルの微細化によってN+エミッタ層206とエミッタ電極212の間のコンタクト面積が過小となっても、オン電圧 $V_{\text{CE(sat)}}$ が上昇しない。すなわち、ユニット・セルの微細化がオン電圧 $V_{\text{CE(sat)}}$ の低減に効果的に生かされる。

【0110】さらに、Pベース層205とエミッタ電極212との間のコンタクト抵抗も低減されるので、寄生トランジスタの導通が導通し難い。すなわち、破壊耐量が向上する。また、ユニット・セルの微細化によってPベース層205とエミッタ電極212の間のコンタクト面積が過小となっても、破壊耐量が劣化しない。すなわち、オン電圧 $V_{\text{CE(sat)}}$ の向上と破壊耐量の向上とが両立的に実現される。

【0111】なお、白金シリサイド層214によるオン電圧 $V_{\text{CE(sat)}}$ と破壊耐量の向上という効果は、Pベース層205、N+エミッタ層206の露出面の形状が第1実施例で説明した梯子状である装置に限らず、従来装置にそのまま白金シリサイド層214を設けることによっても奏する。また、白金シリサイド層214は、UMOS-IGBTに限らず、例えばUMOSにおいてもオン抵抗 R_{on} を低減するという効果をもたらす。

【0112】＜第3実施例＞この第3実施例から第5実施例までは、N+エミッタ層206の露出面の形状の最適化について説明する。図11は、セル領域CRの一部領域151に相当する半導体基体200の上主面の構成を模式的に表現した平面図である。図11には切断線A-Aも同時に描かれている。

【0113】図11に示すように、ストライプ幅 W_n 、ストライプ幅 W_p 、トレンチ間隔 W_t 、およびユニット・セル幅 W_{cel} を定義する。また、溝207に沿った方向をL方向と定義し、これに直交する方向すなわち溝207が配列する方向をW方向と定義する。すなわち、ストライプ幅 W_n はクロスバー領域206aのL方向の

幅であり、ストライプ幅 W_p はPベース層205の矩形の露出面におけるL方向の幅である。さらに、N+エミッタ層206とPベース層205との境界面と溝207との交線CL(図1参照)上の点の中で、Pベース層205の露出面から最も遠い点までの距離として最大距離 L_{max} を定義する。この最大距離 L_{max} は、N+エミッタ層206の直下のPベース層205における横方向抵抗を規定する一要因となる。UMOS-IGBT110では、最大距離 L_{max} は、近似的にストライプ幅 W_n の半分に相当する。すなわち、最大距離 L_{max} は、数10で与えられる。

【0114】

【数10】

$$L_{max} \approx \frac{1}{2} \times W_n$$

【0115】Pベース層205とN+エミッタ層206との接合部に固有のビルト・イン・ポテンシャル V_{pn} 、およびUMOS-IGBT110に定格電流を流したときのN+エミッタ層206の直下のPベース層205を流れるホール電流の電流密度 J_{pr} に対して、最大距離 L_{max} が数11を満足するように設定されるならば、寄生トランジスタの導通を避けつつUMOS-IGBT110に定格電流を流すことができる。

【0116】

【数11】

$$V_{pn} > J_{pr} \times \rho_{pn} \times L_{max}$$

【0117】ここで、比抵抗 ρ_{pn} は、N+エミッタ層206の直下におけるPベース層205の比抵抗である。装置を流れる主電流の中で、Pベース層205を流れるホール電流が占める割合は、上述したように0.3程度である。この割合についてマージンを見込んで0.5と安全側に設定することによって、装置の定格電流密度 J_r に対して、最大距離 L_{max} が数12を満足するように設定されるならば、寄生トランジスタの導通を避けつつUMOS-IGBT110に余裕をもって定格電流を流すことができる。

【0118】

【数12】

$$V_{pn} > 0.5 \times J_r \times \rho_{pn} \times L_{max} \times \frac{W_n \times W_p}{W_{cel} \times W_t}$$

【0119】例えば、200Aの定格電流に対して、最大距離 L_{max} が数11あるいは数12によって与えられる大きさになるように、N+エミッタ層206の形状あるいはストライプ幅 W_n を設定するならば、寄生トランジスタの導通を防止しつつ、この200Aもの大きな定格電流をUMOS-IGBT110に流すことが可能である。

【0120】なお、N+エミッタ層206の露出面の形

状が、梯子型である場合について述べたが、N+エミッタ層206の露出面の形状が図43に示したストライプ形状である場合においても同様である。すなわち、N+エミッタ層206の露出面の形状がストライプ形状であっても、最大距離 L_{max} を数11または数12で与えられる大きさを選ぶことによって、寄生トランジスタの導通を避けつつUMOS-IGBT110に余裕をもって定格電流を流すことができる。なお、N+エミッタ層206の露出面の形状がストライプ形状である場合には、最大距離 L_{max} とストライプ幅 W_n との関係は、数13で与えられる。

【0121】

【数13】

$$L_{max} = \frac{1}{2} \times W_n$$

【0122】また、この実施例で示した最大距離 L_{max} の最適値は、UMOS-IGBTに限らず、例えばUMOSにおいても適用することができ、UMOS-IGBTと同様の効果をもたらす。

【0123】<第4実施例>この第4実施例では、N+エミッタ層206の露出面の形状についてのもう一つの最適化について説明する。

【0124】Pベース層205とN+エミッタ層206との接合部に固有のビルト・イン・ポテンシャル V_{pn} 、UMOS-IGBT110に定格電流を流したときのN+エミッタ層206の直下のPベース層205を流れるホール電流の電流密度 J_{pr} 、およびUMOS-IGBT110が短絡状態であるときの主電流すなわち短絡電流の定格電流への比率 n に対して、最大距離 L_{max} が数14を満足するように設定されるならば、寄生トランジスタの導通を避けつつUMOS-IGBT110に短絡電流を流すことができる。

【0125】

【数14】

$$V_{pn} > n \times J_{pr} \times \rho_{pn} \times L_{max}$$

【0126】ここで、比抵抗 ρ_{pn} は、N+エミッタ層206の直下におけるPベース層205の比抵抗である。装置を流れる主電流の中で、Pベース層205を流れるホール電流が占める割合は、上述したように0.3程度である。この割合についてマージンを見込んで0.5と安全側に設定することによって、装置の定格電流密度 J_r に対して、最大距離 L_{max} が数15を満足するように設定されるならば、寄生トランジスタの導通を避けつつUMOS-IGBT110に余裕をもって短絡電流を流すことができる。

【0127】

【数15】

$$V_{pn} > n \times 0.5 \times J_r \times \rho_{pn} \times L_{max} \times \frac{W_n \times W_p}{W_{cel} \times W_t}$$

【0128】すなわち、最大距離 L_{max} を数14または数15で与えられる大きさに設定することによって、UMOS-IGBT110に接続される負荷が短絡しても、寄生トランジスタの導通を防止することができる。

【0129】なお、N+エミッタ層206の露出面の形状が、梯子型である場合について述べたが、N+エミッタ層206の露出面の形状が図43に示したストライプ形状である場合においても同様である。すなわち、N+エミッタ層206の露出面の形状がストライプ形状であっても、最大距離 L_{max} を数14または数15で与えられる大きさに選ぶことによって、UMOS-IGBT110の負荷が短絡しても寄生トランジスタの導通を避けることができる。

【0130】また、この実施例で示した最大距離 L_{max} の最適値は、UMOS-IGBTに限らず、例えばUMOSにおいても適用することができ、UMOS-IGBTと同様の効果をもたらす。

【0131】＜第5実施例＞この第5実施例では、N+エミッタ層206の露出面の形状に対する更に別の最適化について説明する。図4では図示を略するが、半導体基体200の一部には、主電流が所定の大きさを超えて流れることを防止する過電流保護回路として機能するRTC（リアル・タイム・クランプ）回路が設置されている。RTC回路の働きによって、主電流は定格電流の一

$$V_{pn} > m \times 0.5 \times J_r \times \rho_{pn} \times L_{max} \times \frac{W_n \times W_p}{W_{cel} \times W_t}$$

【0136】すなわち、最大距離 L_{max} を数16または数17で与えられる大きさに設定することによって、UMOS-IGBT110に接続される負荷が短絡しても、寄生トランジスタの導通を防止することができる。因子 m は、第4実施例における比率 n に比べて小さい。すなわち、因子 m と比率 n の大きさにおける関係は、数18で与えられる。

【0137】

【数18】

$$m < n$$

【0138】言い替えると、数16または数17は、数14または数15と同様に、UMOS-IGBT110の負荷が短絡しても寄生トランジスタが導通しないための条件であるが、数16または数17では、数14または数15におけるよりも最大距離 L_{max} に対する条件が緩和されている。これは、数16、数17では、短絡電流がRTC回路によって制限されることを見込んでいるからである。数14、数15は、UMOS-IGBT110がRTC回路を備えない場合、あるいはRTC回路が正常に作動しない場合においてもなお、短絡負荷のもとで寄生サイリスタが導通することを防止するための条件を与える。

定因子 m （ <1 ）倍に制限される。

【0132】Pベース層205とN+エミッタ層206との接合部に固有のビルト・イン・ポテンシャル V_{pn} 、UMOS-IGBT110に定格電流を流したときのN+エミッタ層206の直下のPベース層205を流れるホール電流の電流密度 J_{pr} 、および因子 m に対して、最大距離 L_{max} が数16を満足するように設定されるならば、UMOS-IGBT110の負荷が短絡しても寄生トランジスタが導通することがない。

【0133】

【数16】

$$V_{pn} > m \times J_{pr} \times \rho_{pn} \times L_{max}$$

【0134】ここで、比抵抗 ρ_{pn} は、N+エミッタ層206の直下におけるPベース層205の比抵抗である。装置を流れる主電流の中で、Pベース層205を流れるホール電流が占める割合は、上述したように0.3程度である。この割合についてマージンを見込んで0.5と安全側に設定することによって、装置の定格電流密度 J_r に対して、最大距離 L_{max} が数17を満足するように設定されるならば、寄生トランジスタの導通を避けつつUMOS-IGBT110の負荷を余裕をもって短絡させることができる。

【0135】

【数17】

【0139】なお、N+エミッタ層206の露出面の形状が、梯子型である場合について述べたが、N+エミッタ層206の露出面の形状が図43に示したストライプ形状である場合においても同様である。すなわち、N+エミッタ層206の露出面の形状がストライプ形状であっても、最大距離 L_{max} を数16または数17で与えられる大きさに選ぶことによって、RTC回路を備えるUMOS-IGBT110の負荷が短絡しても寄生トランジスタの導通を避けることができる。

【0140】また、この実施例で示した最大距離 L_{max} の最適値は、UMOS-IGBTに限らず、例えばUMOSにおいても適用することができ、UMOS-IGBTと同様の効果をもたらす。

【0141】＜第6実施例＞つぎに、この第6実施例では、ストライプ状の溝207の間隔および深さと、Pベース層205の深さととの関係が最適に設定されている点について説明する。図12は、UMOS-IGBT110における半導体基体200の上主面付近の正面断面図であり、図4における切断線A-Aに沿った断面を描いている。半導体基体200の上主面は、 $\langle 100 \rangle$ 面に沿っている。半導体基体200の上主面における溝207の線状の開口端221を含むとともに、上主面と45

・の傾斜角をもって傾斜する仮想平面222を定義し、さらに、この仮想平面222と、隣に配設される溝207の壁面との交線223を定義する。UMOS-IGBT110では、このように定義された交線223よりも、Pベース層205が深くなるように構成されている。すなわち、Pベース層205とN-半導体層204の境界面が、交線223よりもある間隔Dmをもって下方に位置するように、溝207の形状およびPベース層205の深さが最適化されている。

【0142】UMOS-IGBT110では、このように設定されているので、開口端221を起点として発生する欠陥が、半導体基体200の<111>面、すなわち仮想平面222に沿って伝播しても、交線223でその伝播が止まる。そして、N-半導体層204の上面は、この交線223よりも下方に位置するので、欠陥がN-半導体層204にまで到達することはない。すなわち、半導体基体200に欠陥が発生しても、それはPベース層205の中だけに制限され、N-半導体層204へ侵入することはない。このため、N-半導体層204の劣化が欠陥によって促進されることがないので、N-半導体層204の劣化に起因するオン電圧 $V_{CE(sat)}$ の上昇が抑えられる。なお、溝207の底部の形状は、丸みを帯びるように設定されている。したがって、この底部からは欠陥が発生し難い。

【0143】<第7実施例>この第7実施例では、センス領域の構成について説明する。図13は、UMOS-IGBT110の半導体基体200の上主面におけるセンス・パッドSPとセル領域CRの境界付近の領域152（図4）を拡大して示す拡大平面図である。

【0144】図13に示すように、UMOS-IGBT110では、センス・パッドSPとセル領域CRの境界部分に、複数のユニット・セルUsで構成されるセンス領域（センシング手段）230が形成されている。センス領域230は、過度の温度上昇の防止、あるいは過電流を抑える目的で、これらをセンシングするために設置されている。ユニット・セル（絶縁ゲート半導体素子）Usは、セル領域CRに配設されるユニット・セル（絶縁ゲート半導体素子）Ucと同一構造を有する。

【0145】このように、UMOS-IGBT110では、センス領域230は、複数本のユニット・セルUsで構成されているので、ユニット・セルUc、Usの微細化を進めても、微細化の度合いに応じてUsの本数を増やすことによって、センス領域230で検出し得る信号の大きさを所定の大きさ以上に維持することができる。すなわち、センシング機能を維持したままで、微細化を進めることができるので、センシング機能の確保とオン電圧 $V_{CE(sat)}$ を低減とを両立的に実現することができるという利点がある。

【0146】なお、ここではUMOS-IGBTについて説明したが、UMOSについても同様にセンス領域を

複数のユニットセルで構成することができ、そのことによってセンシング機能の確保とオン電圧 $V_{CE(sat)}$ を低減とを両立的に実現することができる。

【0147】<第8実施例>第8実施例から第10実施例では、UMOS-IGBT110の上面におけるワイヤ117、127（図2、図3）の接続部について説明する。図14は、UMOS-IGBT110の上面をエミッタ・ワイヤとともに示す平面図である。この図14には、エミッタ電極212の下方に配列するユニット・セルUcの一部（点線）をも図示している。

【0148】図14に示すように、エミッタ電極212には、外部エミッタ電極112、122との接続を行うためのエミッタ・ワイヤ（配線）225の一端が接続され（打たれ）ている。エミッタ・ワイヤ225は、櫛歯状のゲート配線GLで仕切られたセル領域CRに、ほぼ均等に打たれている。すなわち、各エミッタ・ワイヤ225は、セル領域CRにおいて面積が互いに略均等な範囲を分担している。このため、各エミッタワイヤ225のエミッタ電極212との接続部から、ユニット・セルUcまでの主電流の経路の最長距離がほぼ極小となるので、エミッタ電極212における電圧降下がほぼ最低となる。このため、ユニット・セルUcの微細化等によって実現するUMOS-IGBT110の素子自体のオン電圧 $V_{CE(sat)}$ の低減効果が、装置全体としてのオン電圧 $V_{CE(sat)}$ の低減に無駄なく生かされるという利点がある。

【0149】なお、ここではUMOS-IGBTについて説明したが、UMOSについても同様に構成することができ、そのことによって同様の効果を奏する。

【0150】<第9実施例>この実施例でも、図14を参照する。図14に示されるように、セル領域CRの上に2列8本のエミッタ・ワイヤ225が打たれている。この本数は、1列6本のエミッタ・ワイヤが打たれていた従来のUMOS-IGBTに比べて多い。そして、1本のエミッタ・ワイヤ225が分担するセル領域CR内の面積は、 4 mm^2 以下である。このため、主電流がもたらすエミッタ・ワイヤ225における電圧降下が十分に引き下げられる。

【0151】以下に、この効果を実証するために行った実証試験について説明する。この実証試験で用いられたUMOS-IGBTでは、UMOS-IGBT110と同様に、セル領域CRは櫛歯上のゲート配線GLによって4領域に仕切られている。ただし、センス・パッドSPは設けられていない。図15および図16は試験の結果を示すグラフである。

【0152】図15は、エミッタ・ワイヤ225を含めたオン電圧 $V_{CE(sat)}$ とエミッタ・ワイヤ225の本数との間の関係を示す。このグラフから理解できるように、1列6本のエミッタ・ワイヤが打たれた従来のUMOS-IGBT（図15における黒丸印）に比べて、2

列 8 本、3 列 16 本、あるいは 3 列 24 本のエミッタ・ワイヤが打たれた UMOS-IGBT では、オン電圧 $V_{CE(sat)}$ が 0.15 V ないしそれ以上低くなっている。また、2 列 8 本よりも本数または列数を増やしても、オン電圧 $V_{CE(sat)}$ の低減効果は余り変わらない。このことは、エミッタ・ワイヤが 2 列 8 本あれば、エミッタ・ワイヤにおける電圧降下は、素子自体のオン電圧 $V_{CE(sat)}$ に比べて十分低いことを示唆している。

【0153】このことを立証するために、実証試験に用いたエミッタ・ワイヤ自体の抵抗と本数との関係を更に調べた。図 16 は、その結果を示すグラフである。このグラフから理解できるように、エミッタ・ワイヤ自体の抵抗は、エミッタ・ワイヤが 6 本以上であれば、ほぼ一定である。すなわち、エミッタ・ワイヤが 2 列 8 本あれば、エミッタ・ワイヤにおける電圧降下は、素子自体のオン電圧 $V_{CE(sat)}$ に比べて十分低いことがわかる。また、図 15 に示すように、エミッタ・ワイヤが 2 列 8 本よりも多いほど、それにとまってオン電圧 $V_{CE(sat)}$ がわずかに低下するのは、エミッタ電極における電圧降下が減少するためであると推定される。

【0154】以上のように、素子自体のオン電圧 $V_{CE(sat)}$ の低減が装置全体としてのオン電圧 $V_{CE(sat)}$ の低減に有効に結びつくためには、エミッタ・ワイヤ 225 は 2 列 8 本あれば十分であると結論できる。この実証試験で用いられた UMOS-IGBT では、セル領域 CR の面積に略相当するエミッタ電極の面積は、25 mm² であるので、エミッタ・ワイヤの 1 本が分担する領域の面積は、 $25/8 = 3.12$ mm² に相当する。すなわち、エミッタ・ワイヤが一本当たり分に分担するセル領域 CR の面積（エミッタ電極の面積と概ね同一）が、3.12 mm² を中心とする概ね 2 mm² ~ 4 mm² の範囲にあれば、素子自体のオン電圧 $V_{CE(sat)}$ の低減が装置全体としてのオン電圧 $V_{CE(sat)}$ の低減に十分に生かされる。

【0155】なお、ここでは UMOS-IGBT について説明したが、UMOS についても同様に構成することができ、そのことによって同様の効果を奏する。

【0156】＜第 10 実施例＞この実施例では、エミッタ・ワイヤ 225 とゲート電極 210 の間の好ましい角度について説明する。図 17 は、UMOS-IGBT 110 における 1 本のエミッタ・ワイヤ 225 とエミッタ電極 212 との接続部分を拡大して示す拡大斜視図である。図 17 には、エミッタ電極 212 の下層に配列するユニット・セル Uc を点線で示している。ストライプ上に配列するユニット・セル Uc に沿ってゲート電極 210（図 17 では図示を略する。図 5 参照。）が配列している。エミッタ・ワイヤ 225 は、このゲート電極 210 の方向、言い替えるとユニット・セル Uc の方向に対して、20° ~ 160° の範囲の角度をもってエミッタ電極 212 に接続されている。すなわち、図 17 におけ

る角度 θ は 20° ~ 160° の範囲に設定されている。角度 θ が、この範囲にあるときには、エミッタ電極 212 とゲート電極 210 との間の短絡故障が発生し難いという利点がある。

【0157】図 18 は、このことを実証するために行った実証試験の結果を示すグラフである。この図 18 は、エミッタ・ワイヤ 212 とゲート電極 210 との間の短絡故障、すなわちゲート配線ショートが発生率と角度 θ の間の関係を示している。このグラフから解るように、角度 θ が 0 または 180° であるとき、すなわち、エミッタ・ワイヤ 225 がゲート電極 210 と同じ方向に打たれたときに最も高い。一方、エミッタ・ワイヤ 225 を打つ方向を、ゲート電極 210 の方向から、わずかに 20° ほどずらすだけで、ゲート配線ショートは起こり難くなる。すなわち、角度 θ を 20° ~ 160° の範囲に設定することによって、ゲート配線ショートを低減することができる。

【0158】なお、ここでは UMOS-IGBT について説明したが、UMOS についても同様に構成することができ、そのことによって同様の効果を奏する。

【0159】＜第 11 実施例＞この実施例では、UMOS-IGBT 110 における溝 207 の配設形状について説明する。図 19 は、UMOS-IGBT 110 におけるセル領域 CR の一部領域 151（図 4）の直下に相当する半導体基体 200 の上主面部分を拡大して示す平面図である。図 19 に示すように、溝 207 は、互いに等間隔に並んだストライプ状に形成されている。溝 207 に埋め込まれたゲート電極 210 は、ストライプ状の溝 207 の両端に形成されているゲート配線 GL に電気的に接続されている。また、ストライプは 1 本毎に離れている。すなわち、1 本のストライプに埋め込まれたゲート電極 210 は、ゲート配線 GL のみを通じて、他のストライプのゲート電極 210 と電気的に結合している。すなわち、溝 207 には、十字「+」型、T 字

「T」型、あるいは L 字「L」型に交差する部位が存在しない。このため、UMOS-IGBT 110 では、従来の装置とは異なり、溝 207 へのゲート電極 210 の埋め込みが容易に行い得るという利点がある。

【0160】なお、この実施例では溝 207 が、直線的なストライプ状に形成された例を説明したが、直線的である代わりに滑らかな曲線的であってもよい。溝 207 が曲線的なストライプ状であっても、十字「+」型、T 字「T」型、あるいは L 字「L」型に交差する部位は存在しないので、この実施例と同様の効果を奏する。また、ここで述べたように溝 207 が、互いに離れたストライプ状に形成された構成は、UMOS においても同様に実施することが可能であり、また実施することによって同様の効果が得られる。

【0161】＜第 12 実施例＞以下では、UMOS-IGBT 110 の好ましい製造方法について説明する。図

20～図34は、この実施例の方法を示す製造工程図である。

【0162】このUMOS-IGBT110を製造するには、図20に示すように、まず、P型不純物を高濃度に含むシリコン基板を準備する。このシリコン基板は、P+コレクタ層202に相当する。

【0163】つぎに、図21に示すように、P+コレクタ層202の上に、エピタキシャル成長によって、N型不純物を高濃度に含むN+バッファ層203を形成する。

【0164】つづいて、図22に示すように、エピタキシャル成長によって、N+バッファ層203の上に、N型不純物を低濃度に含むN-半導体層301を形成する。この工程によって、半導体基体200が形成される。

【0165】つぎに、図23に示すように、N-半導体層301の上面にP型不純物を注入し、その後、アニールを施すことによって、N-半導体層204とその上に積層されたPベース層205とを形成する。

【0166】つぎに、図24に示すように、所定のパターンを有するマスク（第1マスク）302を、写真製版によってPベース層205の上面に形成した後、このマスク302を遮蔽体として用いることによって、N型不純物をPベース層205の上面に選択的に注入する。つぎに、マスク302を除去した後、アニールを施すことによってN+エミッタ層206をPベース層205の上面に選択的に形成する。

【0167】図25に、この工程終了後の半導体基体200の上主面を示す。図25には、マスク302の輪郭も同時に示している。マスク302は、矩形領域がマトリックス状に配列して成る。したがって、N+エミッタ層206は、半導体基体200の上主面に格子状に露出するように形成される。その後、マスク302を除去する。

【0168】つぎに、図26に示すように、半導体基体200の上主面の上面に、写真製版によって所定のパターンを有するマスク（第2マスク）303を形成する。マスク303は、図26および図27に示すように、格子状に露出するN+エミッタ層206の帯状部分304に沿って開口するように形成される。この開口部は帯状部分304の幅方向端部よりも内側に位置している。なお、図27は平面図であり、図26は図27に示す切断線B-Bに沿った正面断面図である。このマスク303を遮蔽体として半導体基体200の上主面にRIE（Reactive Ion Etching）を実行する。その結果、図26に示すように、マスク303が開口する帯状の領域に沿って溝207が形成される。この溝207は、N+エミッタ層206の上面からPベース層205を貫通し、N-半導体層204にまで達するように、その深さが調整される。その後、マスク303を除去する。

【0169】つぎに、図28に示すように、半導体基体200の上主面および溝207の内壁に熱酸化膜309を形成する。つづいて、熱酸化膜309の表面に、不純物をドーブしたポリシリコン層306をデポジションする。ポリシリコン層306は、熱酸化膜309で覆われた溝207を充填するとともに、熱酸化膜309で覆われた半導体基体200の上主面の全体に積層するように形成される。

【0170】つぎに、図29に示すように、ポリシリコン層306の上面に、エッチングを適度に施すことにより、ポリシリコン層306の上面部分を除去することによって、半導体基体200の上主面からの厚さがゲート配線GLの厚さに相当するポリシリコン層307を形成する。なお、図29にはゲート配線GLが配設されるべき領域（図における左端部）を含めて図示している。

【0171】つぎに、図30に示すように、ゲート配線GLを配設すべき領域を選択的に覆うようにマスク308をポリシリコン層307の上に形成する。その後、マスク308を遮蔽体として用いつつポリシリコン層307を選択的にエッチ・バックすることによって、図30に示すように、ゲート配線GLおよび、ゲート電極210を形成する。すなわち、半導体基体200の上主面の上面には、ポリシリコン層307は、ゲート配線GL以外は除去されている。その後、マスク308を除去する。

【0172】つぎに、図31に示すように、絶縁膜310を半導体基体200の上面およびゲート配線GLの上にデポジションする。

【0173】つづいて、図32に示すように、所定のパターンを有するマスク（第3マスク）312を絶縁膜310の上に形成する。このマスク312は、ストライプ状の溝207で挟まれた半導体基体200の上主面をなす帯状の領域に沿って帯状に開口している。その後、このマスク312を遮蔽体として絶縁膜310および熱酸化膜309を選択的にエッチングする。この結果、ゲート電極210の上を覆う絶縁層211が形成されるとともに、半導体基体200の上主面が帯状に露出し、さらに、熱酸化膜309の残された部分によってゲート電極210と半導体基体200とを絶縁するゲート絶縁膜209が形成される。その後、マスク312を除去する。

【0174】つづいて、図33に示すように、半導体基体200の上主面における帯状の露出面、すなわち絶縁層211の開口部に相当する部分に、選択的に白金をスパッタし、その後熱処理を施すことにより、この帯状の露出面に白金シリサイド層214を形成する。

【0175】つぎに、図34に示すように、上面全体、すなわち絶縁層211および白金シリサイド層214の上に、アルミニウムをデポジションすることによって、白金シリサイド層214と電気的に接続されたエミッタ電極212を形成する。また、半導体基体200の下主面すなわちP+コレクタ層202の下面に、例えばTi

-Ni-Al膜を形成することにより、P+コレクタ層202の下面に電氣的に接続されたコレクタ電極213を得る。

【0176】以上の工程によって、UMOS-IGBT110が得られる。

【0177】<第13実施例>ここでは、白金シリサイド層214を備えない点のみがUMOS-IGBT110とは異なるUMOS-IGBTの好ましい製造方法について説明する。このUMOS-IGBTを製造するには、図33に示した工程、すなわち白金をスパッタするとともにその後に熱処理を施す工程を省いて、図32に示した工程を実行した後、図34に示した工程を直接に実行すればよい。このように実行することによって、白金シリサイド層214が存在しない半導体基体200の帯状の露出面に、エミッタ電極212が直接に接続される。

【0178】<第14実施例>ここでは、ゲート配線GLはゲート電極210と同じポリシリコンで形成されない点のみがUMOS-IGBT110とは異なるUMOS-IGBTの好ましい製造方法について説明する。このUMOS-IGBTを製造するには、図20～図28に示した工程を実行した後、図29および図30に示した工程を実行することなく、ポリシリコン層306を一挙にエッチ・バックすることによって、図35の工程図に示すように、半導体基体200の上主面の上からポリシリコン層306を除去するとよい。その結果、ゲート電極210が形成される。ゲート配線GLは、別途作成する。その後、第12実施例における図31以降の工程を実行するとよい。

【0179】<第15実施例>ここでは、従来装置であるUMOS-IGBT80と同様に、N+エミッタ層が溝207と直交するストライプ状に半導体基体の上主面に露出する点のみが、UMOS-IGBT110とは異なるUMOS-IGBTの好ましい製造方法について説明する。このUMOS-IGBTを製造するには、図20～図23に示した工程を実行した後、図24に示した工程と同様に、所定のパターンを有するマスクを、写真製版によってPベース層205の上面に形成する。このマスクは、マスク331とは異なり、ストライプ状である。その後、このマスクを遮蔽体として用いることによって、N型不純物をPベース層205の上面に選択的に注入する。つぎに、マスクを除去した後、アニールを施すことによってN+エミッタ層をPベース層205の上面に選択的に形成する。

【0180】図36に、この工程終了後の半導体基体の上主面を示す。図36には、この工程で利用したストライプ状のマスク331の輪郭も同時に示している。この工程で形成されたN+エミッタ層256とPベース層205とは、半導体基体の上主面にストライプ状に交互に露出する。

【0181】つぎに、図26に示した工程と同様に、半導体基体の上主面の上に、写真製版によって所定のパターンを有するマスクを形成する。このマスク332は、図37の平面図に示すように、ストライプ状のN+エミッタ層256と直交するストライプ状に形成される。このマスク332を遮蔽体として半導体基体の上主面にRIE (Reactive Ion Etching) を実行する。その結果、ストライプ状のN+エミッタ層256に直交するようにストライプ状の溝207が形成される。この溝207は、N+エミッタ層256の上面からPベース層205を貫通し、N-半導体層204にまで達するように、その深さが調整される。

【0182】その後の工程は、第12実施例における図28以降に示した工程と同様である。

【0183】<第16実施例>第12実施例において、図30に示されるポリシリコンのゲート配線GLおよびゲート電極210を形成するのに、ポリシリコン層306をあらかじめゲート配線GLに相当する厚さにデポジションしてもよい。すなわち、図28に示した工程において、ポリシリコン層306のデポジションの進行を調整することによって、半導体基体200の上主面からの厚さがゲート配線GLの厚さに相当するポリシリコン層307 (図29) を直接に形成してもよい。

【0184】<第17実施例>ここでは、半導体基体200の中にP+コレクタ層202が存在しない点のみが、UMOS-IGBT110とは異なるUMOSの好ましい製造方法について述べる。このUMOSを製造するには、まず、図38に示すように、N型不純物を低濃度を含むシリコン基板401を準備する。

【0185】つぎに、図39に示すように、このシリコン基板401の下主面にN型不純物を高濃度に注入し、その後、アニールを施すことにより、N型半導体層402の下面にN型不純物を高濃度を含むN+型半導体層403が形成される。この工程によって、半導体基体400が形成される。N型不純物を注入する代わりに、シリコン基板401の下主面に、エピタキシャル成長によってN型不純物を高濃度を含むN+型半導体層403を形成してもよい。

【0186】これにつづく工程は、第12実施例における、図23以降の工程と同様である。

【0187】<第18実施例>以上の実施例では、UMOS-IGBTおよびUMOSを例として説明したが、この発明は、例えばEST (Emitter Switched Thyristor)、MCT (MOS Controlled Thyristor) などの、他の絶縁ゲート型半導体装置に対しても実施が可能である。

【0188】<第19実施例>また、以上の実施例では、Nチャネル型のUMOS-IGBT等について説明したが、Pチャネル型の絶縁ゲート型半導体装置についても実施が可能である。

【0189】

【発明の効果】

<請求項1に記載の発明の効果>この発明の装置では、実質的に帯状の第3領域に挟まれた領域の一部に規定される第2領域に第3半導体層が露出しているため、第1主電極と第3半導体層との電気的接続を保ちつつ、微細化を行うことが容易である。しかも、第3半導体層は溝に隣接するとともに溝に沿って中断することなく規定される第3領域に露出するように形成されているため、ゲート電極に対向する第2半導体層の部分であるチャネル領域が、溝に沿って途切れることなく形成される。このため、この発明の装置では、微細化を行うことがオン電圧の低減に有効に結びつくという効果がある。

【0190】<請求項2に記載の発明の効果>この発明の装置では、第2領域が隣合う第3領域の間に架けわたされた架橋状に規定されるため、第1領域の位置がずれても、第3半導体層と第1主電極との間の電気的接続が保証される。このため、第1主電極と第3半導体層との電気的接続を保ちつつ、微細化を更に進めることができるため、オン電圧を一層低減することが可能である。

【0191】<請求項3に記載の発明の効果>この発明の装置では、第1主電極と第2および第3半導体層とが、白金シリサイドを有する導電層を挟んで電気的に接続されているため、それらの間のコンタクト抵抗が低減される。第3半導体と第1主電極とのコンタクト抵抗が低減されるため、微細化によって第3半導体層と第1主電極との接触面積が減少してもオン電圧が上昇しない。すなわち、微細化がオン電圧の低減に有効に生かされるという効果がある。

【0192】また、第2半導体層と第1主電極とのコンタクト抵抗が低減されるために、寄生トランジスタが導通し難い。すなわち、オン電圧の低減と破壊耐量の向上とが両立的に実現するという効果がある。

【0193】<請求項4に記載の発明の効果>この発明の装置では、接触面の幅が最適化されているため、白金シリサイドを有する導電層によるコンタクト抵抗の低減効果が著しい。このため、オン電圧の一層の低減と破壊耐量の一層の向上とが実現するという効果がある。

【0194】<請求項5に記載の発明の効果>この発明の装置では、 $V_{pn} > J_{pr} \times \rho_{pn} \times L_{max}$ の関係を満たすように第3半導体層の形状が設定されているため、装置に定格電流に相当する大きさの主電流を通電しても第2半導体層と第3半導体層との間の接合部に発生するバイアス電圧は、ビルト・イン・ポテンシャル V_{pn} を超えることがない。このため、寄生トランジスタの導通を招くことなく装置に定格電流を通電し得るという効果がある。

【0195】<請求項6に記載の発明の効果>この発明の装置では、 $V_{pn} > n \times J_{pr} \times \rho_{pn} \times L_{max}$ の関係を満たすように第3半導体層の形状が設定されている

ため、装置の負荷を短絡させた状態で主電流を通電しても第2半導体層と第3半導体層との間の接合部に発生するバイアス電圧は、ビルト・イン・ポテンシャル V_{pn} を超えることがない。このため、寄生トランジスタの導通を招くことなく装置に短絡電流を通電し得るという効果がある。

【0196】<請求項7に記載の発明の効果>この発明の装置では、過電流保護手段が備わるため、装置の負荷を短絡させた状態で主電流を通電しても、主電流の大きさは制限電流値を超えない。しかも、 $V_{pn} > m \times J_{pr} \times \rho_{pn} \times L_{max}$ の関係を満たすように第3半導体層の形状が設定されているため、装置の負荷を短絡させた状態で主電流を通電しても第2半導体層と第3半導体層との間の接合部に発生するバイアス電圧は、ビルト・イン・ポテンシャル V_{pn} を超えることがない。このため、寄生トランジスタの導通を招くことなく装置に短絡電流を通電し得るという効果がある。さらに、過電流保護手段によって短絡電流が制限されるため、過電流保護回路を備えない装置に比べて最大距離 L_{max} に対する条件が緩和されるという効果がある。

【0197】<請求項8に記載の発明の効果>この発明の装置では、半導体基体の上主面が<100>結晶面に沿っており、しかも、第1半導体層と第2半導体層との境界面が、隣合う溝の壁面と仮想面との交線よりも下方にあるため、溝の開口端に欠陥が発生しても、それが第1半導体層へ侵入することはない。このため、第1半導体層の劣化が欠陥によって促進されることがないため、第1半導体層の劣化に由来するオン電圧の上昇が抑えられるという効果がある。

【0198】<請求項9に記載の発明の効果>この発明の装置では、センシング手段が複数の素子を有するもので、素子の微細化にともなって1個の素子の出力信号の強さが低下しても、センシング手段全体の出力信号を高く維持することができる。すなわち、センシング機能の確保と微細化に伴うオン電圧の低減とを両立的に実現し得るという効果がある。

【0199】<請求項10に記載の発明の効果>この発明の装置では、同一構造の複数の絶縁ゲート型半導体素子が等間隔に配列されており、しかも、略均等に仮想分割されてなる単位領域毎に配線の各1が接続されるため、主電流によって主電極に引き起こされる電圧降下は、配線の数がある一定条件の下ではほぼ最低となる。このため、絶縁ゲート型半導体素子の微細化に伴う素子自体のオン電圧の低減効果が、装置全体におけるオン電圧の低減に有効に生かされるという効果がある。

【0200】<請求項11に記載の発明の効果>この発明の装置では、1本の配線が主電流を分担する単位領域の面積が最適化されている。すなわち配線の本数が最適化されているため、絶縁ゲート型半導体素子自体のオン電圧に比べて、配線および主電極における電圧降下が十

分に低い。このため、絶縁ゲート型半導体素子の微細化に伴う素子自体のオン電圧の低減効果が、装置全体におけるオン電圧の低減に有効に生かされるという効果がある。

【0201】＜請求項12に記載の発明の効果＞この発明の装置では、配線の方角と絶縁ゲート型半導体素子の方角とが最適な角度をもって交差するので、配線とゲート電極との間の短絡故障が発生し難いという効果がある。

【0202】＜請求項13に記載の発明の効果＞この発明の装置では、各絶縁ゲート型半導体素子に属するトレンチ・ゲートが直線状ないし滑らかな曲線状に形成され、しかも、他の素子に属するトレンチ・ゲートとは交差しないので、トレンチ・ゲートにL字「L」型の折れ曲がり部、および、十字「+」、T字「T」等の交差部が存在しない。このため、ゲート電極をトレンチへ容易に埋め込むことができるという効果がある。

【0203】＜請求項14に記載の発明の効果＞この発明の製造方法では、ストライプ状に配設されるトレンチ・ゲートに挟まれた半導体基体の上主面において、トレンチ・ゲートに隣接する梯子状に第3半導体層が露出する絶縁ゲート型半導体装置を容易に製造し得るという効果がある。

【0204】＜請求項15に記載の発明の効果＞この発明の製造方法では、半導体基体と主電極の間に白金シリサイドの導電層を有する絶縁ゲート型半導体装置を容易に製造し得るという効果がある。

【0205】＜請求項16に記載の発明の効果＞この発明の製造方法では、ゲート電極とともにゲート配線がポリシリコンで構成される絶縁ゲート型半導体装置を容易に製造し得るという効果がある。

【0206】＜請求項17に記載の発明の効果＞この発明の製造方法では、ゲート電極とともにゲート配線がポリシリコンで構成される絶縁ゲート型半導体装置を容易に製造し得るという効果がある。

【図面の簡単な説明】

【図1】この発明の実施例のUMOS-IGBTの断面斜視図である。

【図2】この発明の実施例のUMOS-IGBTが組み込まれた製品の部分透視斜視図である。

【図3】この発明の実施例のUMOS-IGBTが組み込まれた製品の斜視図である。

【図4】この発明の実施例のUMOS-IGBTの上面図である。

【図5】この発明の実施例のUMOS-IGBTの部分平面図である。

【図6】この発明の実施例のUMOS-IGBTの正面断面図である。

【図7】この発明の実施例のUMOS-IGBTに関する実証試験の結果を示すグラフである。

【図8】この発明の実施例のUMOS-IGBTに関する実証試験の結果を示すグラフである。

【図9】この発明の実施例のUMOS-IGBTに関する実証試験の結果を示すグラフである。

【図10】この発明の実施例のUMOS-IGBTに関する実証試験の結果を示すグラフである。

【図11】この発明の実施例のUMOS-IGBTの部分平面図である。

【図12】この発明の実施例のUMOS-IGBTの正面断面図である。

【図13】この発明の実施例のUMOS-IGBTの部分平面図である。

【図14】この発明の実施例のUMOS-IGBTの平面図である。

【図15】この発明の実施例のUMOS-IGBTに関する実証試験の結果を示すグラフである。

【図16】この発明の実施例のUMOS-IGBTに関する実証試験の結果を示すグラフである。

【図17】この発明の実施例のUMOS-IGBTの部分斜視図である。

【図18】この発明の実施例のUMOS-IGBTに関する実証試験の結果を示すグラフである。

【図19】この発明の実施例のUMOS-IGBTの部分平面図である。

【図20】この発明の実施例のUMOS-IGBTの製造方法に関する工程図である。

【図21】この発明の実施例のUMOS-IGBTの製造方法に関する工程図である。

【図22】この発明の実施例のUMOS-IGBTの製造方法に関する工程図である。

【図23】この発明の実施例のUMOS-IGBTの製造方法に関する工程図である。

【図24】この発明の実施例のUMOS-IGBTの製造方法に関する工程図である。

【図25】この発明の実施例のUMOS-IGBTの製造方法に関する工程図である。

【図26】この発明の実施例のUMOS-IGBTの製造方法に関する工程図である。

【図27】この発明の実施例のUMOS-IGBTの製造方法に関する工程図である。

【図28】この発明の実施例のUMOS-IGBTの製造方法に関する工程図である。

【図29】この発明の実施例のUMOS-IGBTの製造方法に関する工程図である。

【図30】この発明の実施例のUMOS-IGBTの製造方法に関する工程図である。

【図31】この発明の実施例のUMOS-IGBTの製造方法に関する工程図である。

【図32】この発明の実施例のUMOS-IGBTの製造方法に関する工程図である。

【図 3 3】この発明の実施例のUMOS-IGBTの製造方法に関する工程図である。

【図 3 4】この発明の実施例のUMOS-IGBTの製造方法に関する工程図である。

【図 3 5】この発明の実施例のUMOS-IGBTの製造方法に関する工程図である。

【図 3 6】この発明の実施例のUMOS-IGBTの製造方法に関する工程図である。

【図 3 7】この発明の実施例のUMOS-IGBTの製造方法に関する工程図である。

【図 3 8】この発明の実施例のUMOSの製造方法に関する工程図である。

【図 3 9】この発明の実施例のUMOSの製造方法に関する工程図である。

【図 4 0】従来のUMOSの正面断面図である。

【図 4 1】従来のUMOSの平面図である。

【図 4 2】従来のUMOS-IGBTの断面斜視図である。

【図 4 3】従来のUMOS-IGBTの平面図である。

【図 4 4】従来のUMOSの正面断面図である。

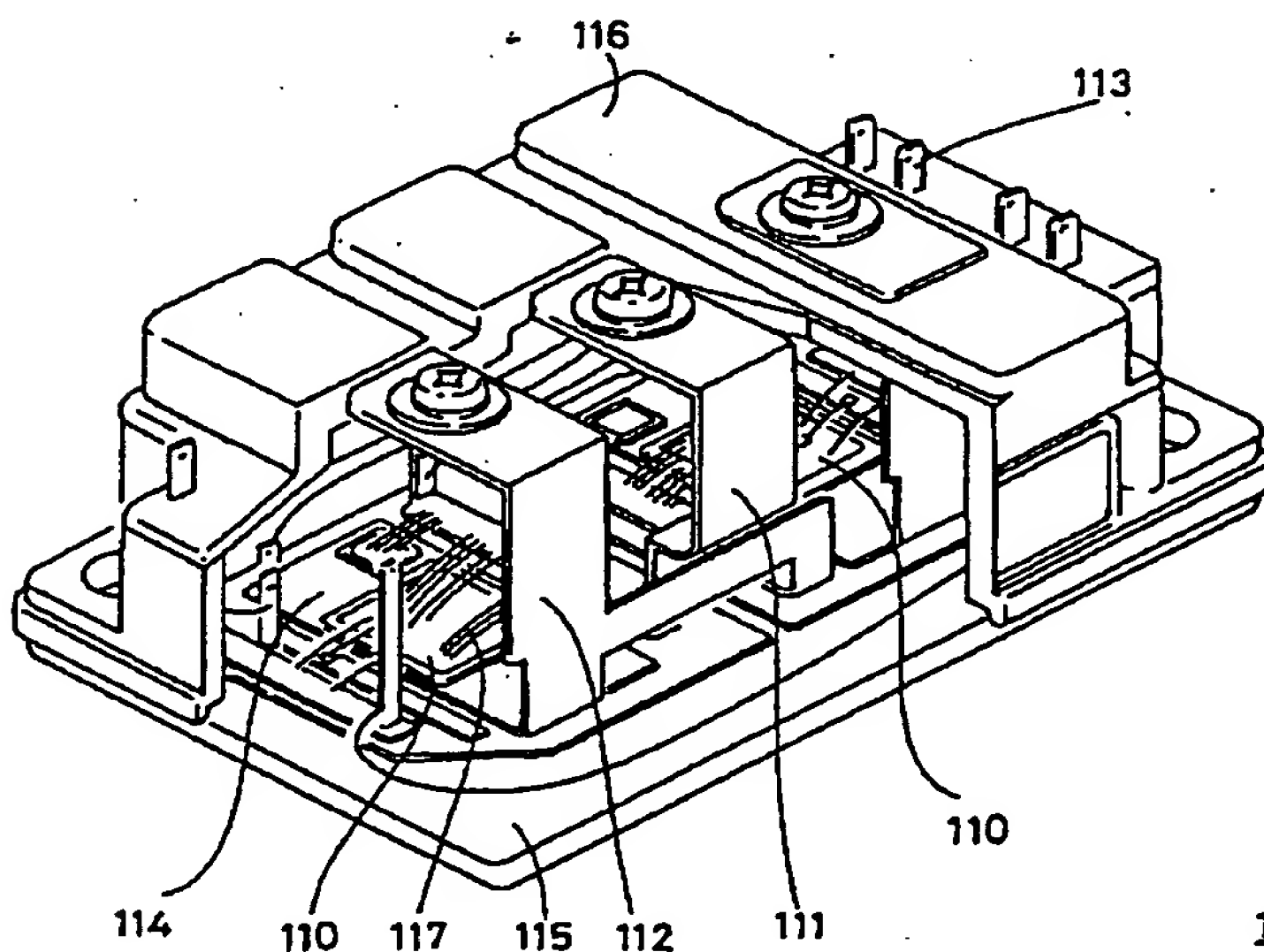
【図 4 5】従来のUMOS-IGBTの部分平面図である。

【符号の説明】

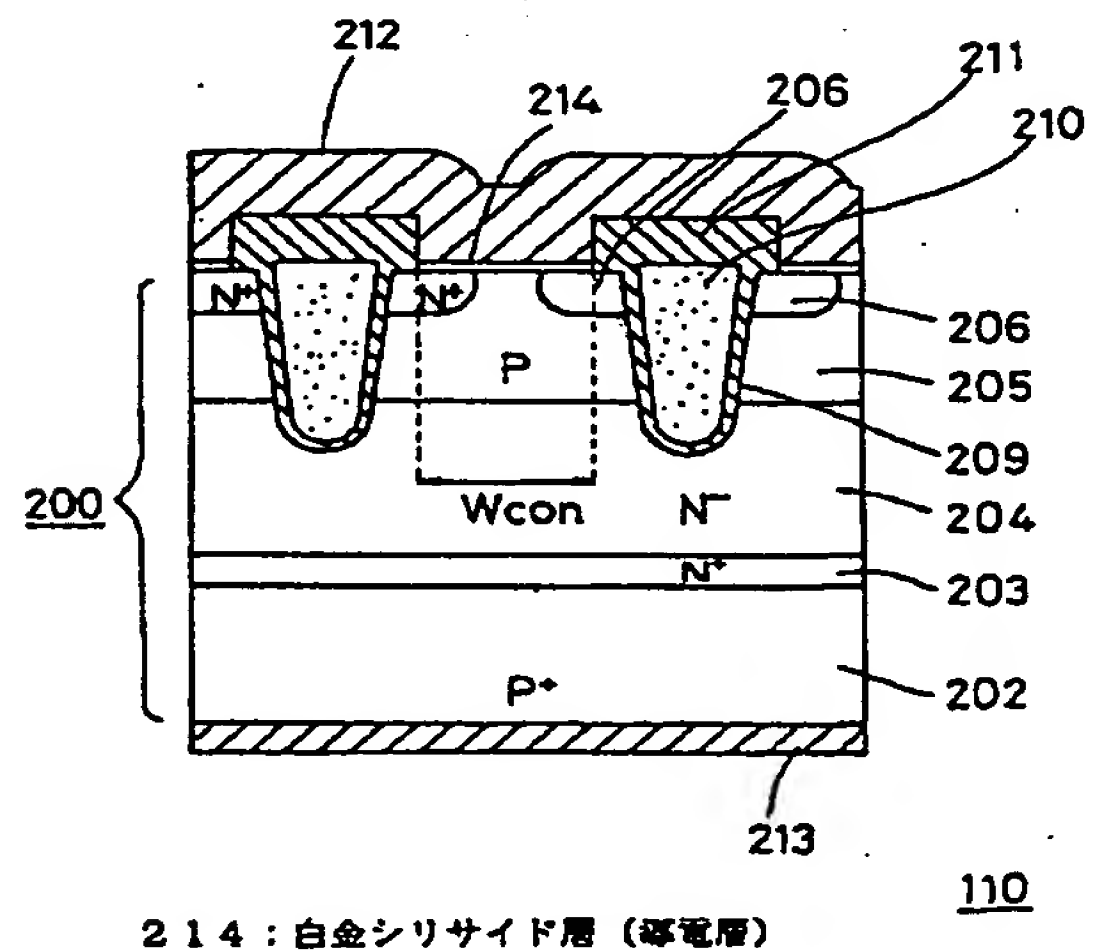
- 204 N-半導体層 (第1半導体層)
205 Pベース層 (第2半導体層)
206 N+エミッタ層 (第3半導体層)

- 200 半導体基体
207 溝
209 ゲート絶縁膜
210 ゲート電極 (トレンチ・ゲート)
212 エミッタ電極 (第1主電極)
213 コレクタ電極 (第2主電極)
Ra 帯状領域 (第1領域)
206a クロスバー領域 (第2領域)
206b 帯状領域 (第3領域)
214 白金シリサイド層 (導電層)
Lmax 最大距離
221 開口端
222 仮想面
223 交線
230 センス領域 (センシング手段)
Uc、Us ユニット・セル (絶縁ゲート型半導体素子)
225 エミッタ・ワイヤ (配線)
302 マスク (第1マスク)
303 マスク (第2マスク)
312 マスク (第3マスク)
309 第1絶縁膜
310 第2絶縁膜
306 ポリシリコン層
GL ゲート配線

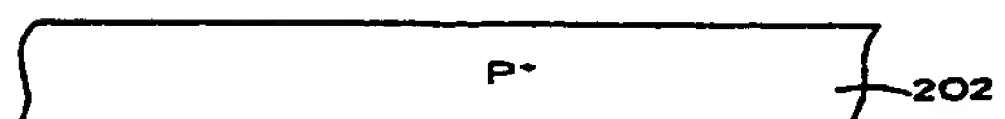
【図 2】



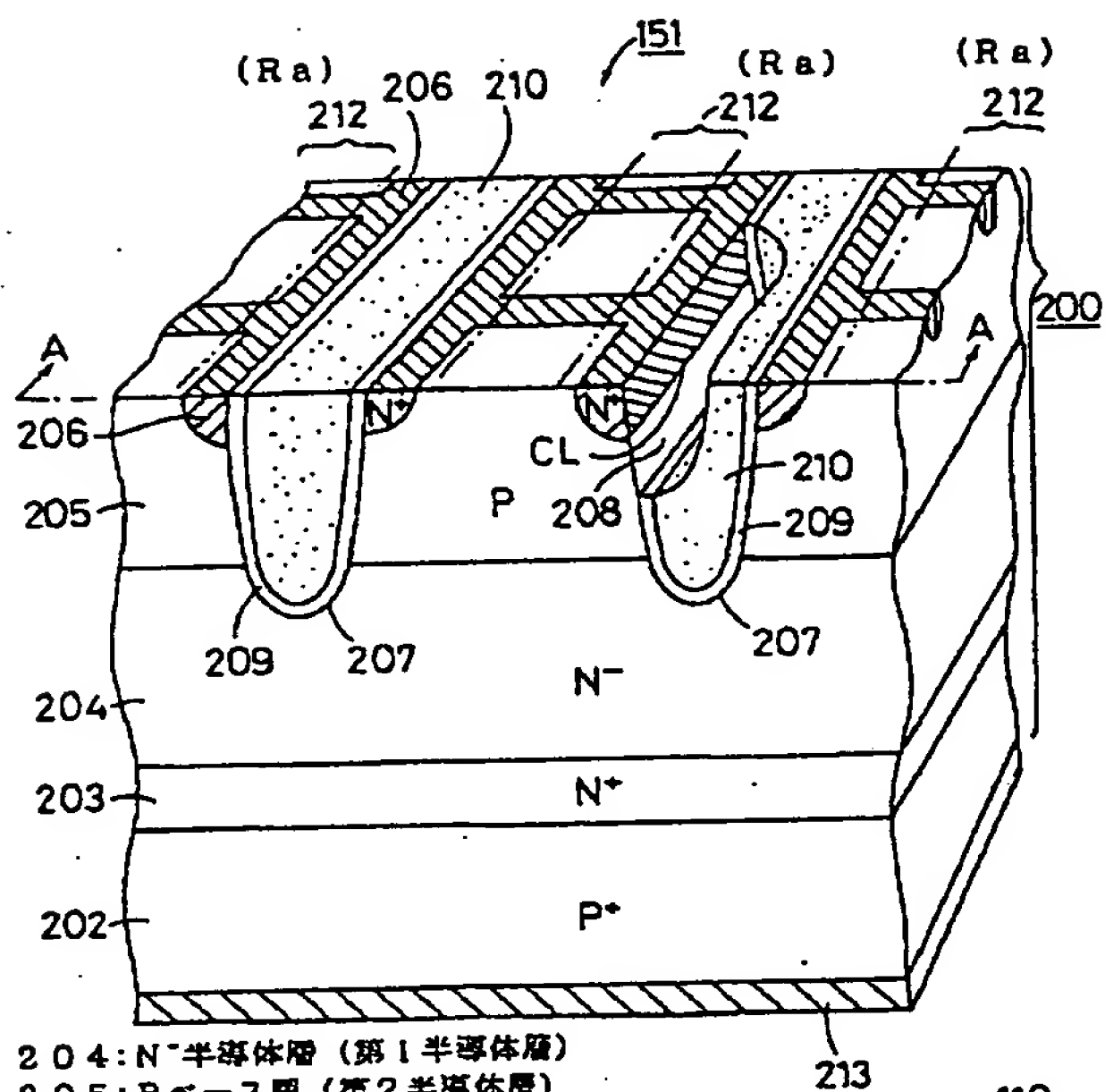
【図 6】



【図 20】

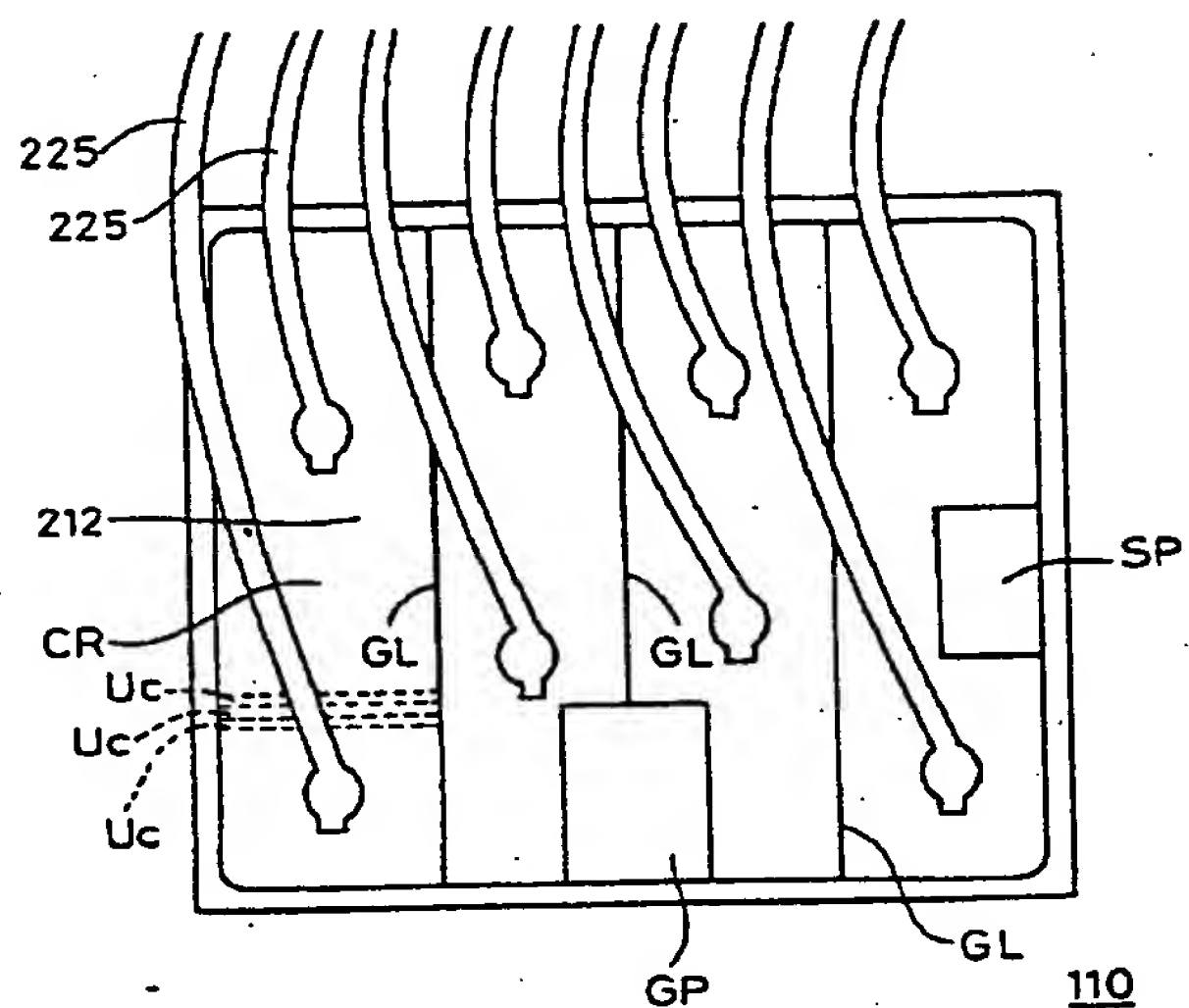


【図1】



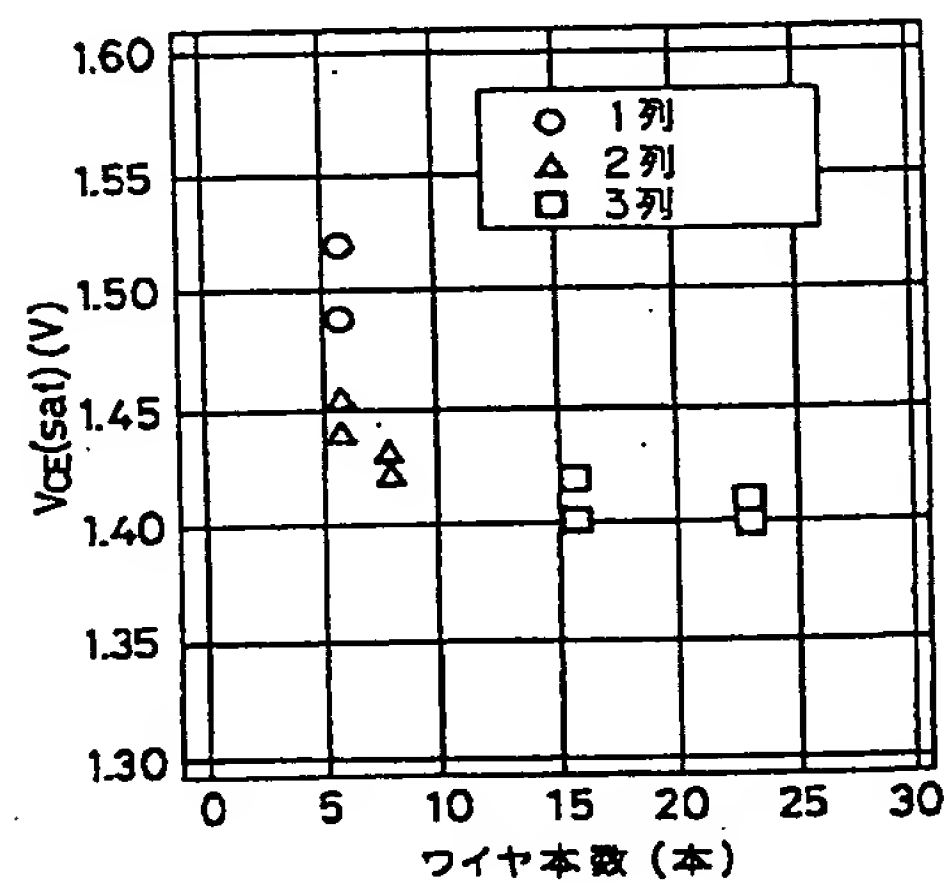
- 204: N⁻半導体層 (第1半導体層)
 205: Pベース層 (第2半導体層)
 206: N⁻エミッタ層 (第3半導体層)
 202: P⁺コレクタ層 (第4半導体層)
 200: 半導体基体
 207: 溝
 209: ゲート絶縁膜
 210: ゲート電極 (トレンチ・ゲート)
 212: エミッタ電極 (第1主電極)
 213: コレクタ電極 (第2主電極)
 Ra: 帯状領域 (第1領域)

【図14】

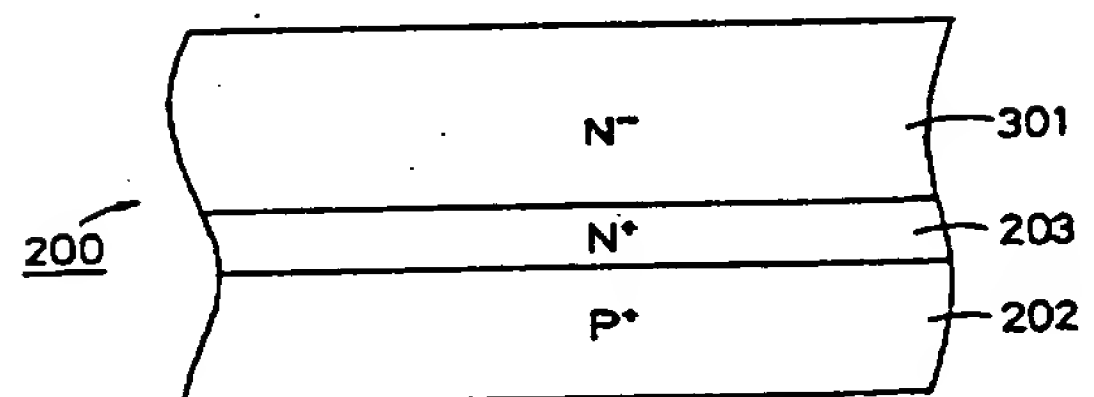


225: エミッタ・ワイヤ (配線)

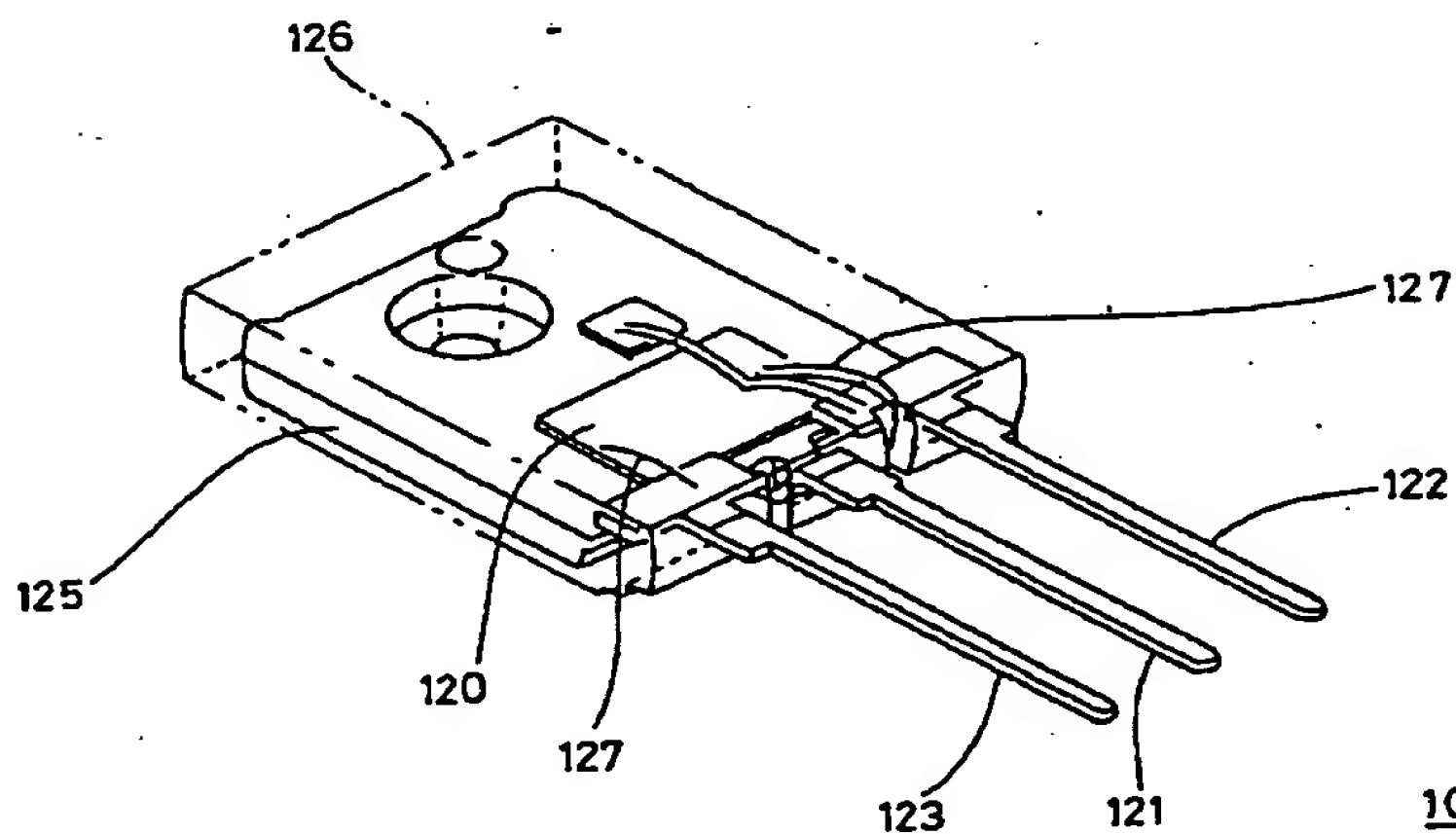
【図15】



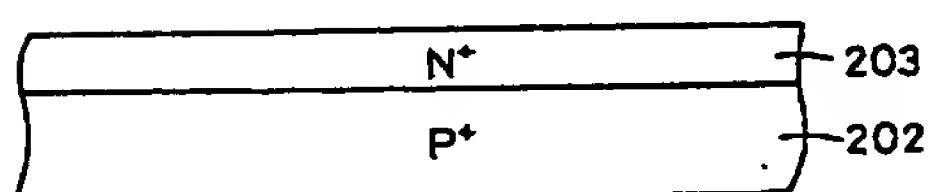
【図22】



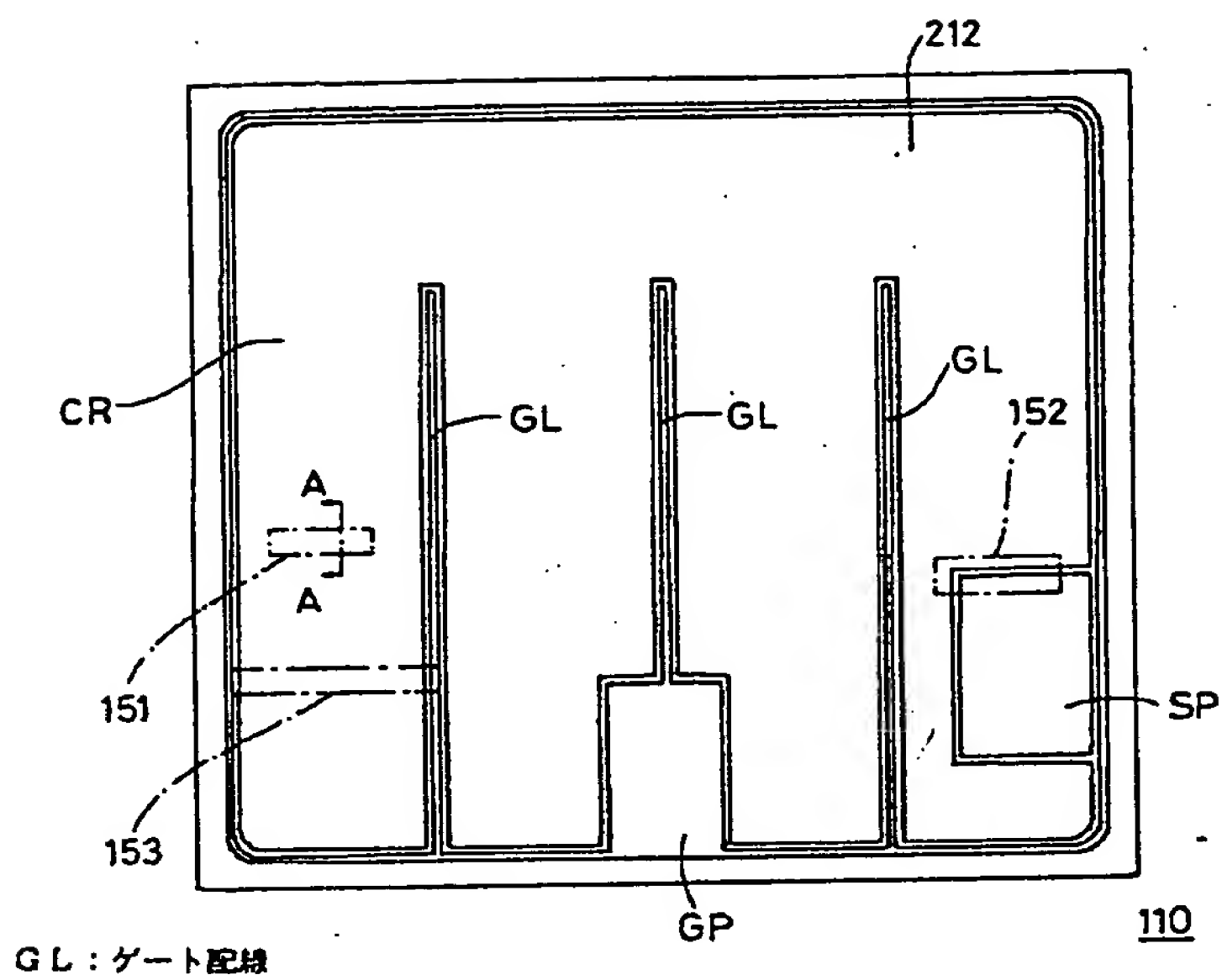
【図3】



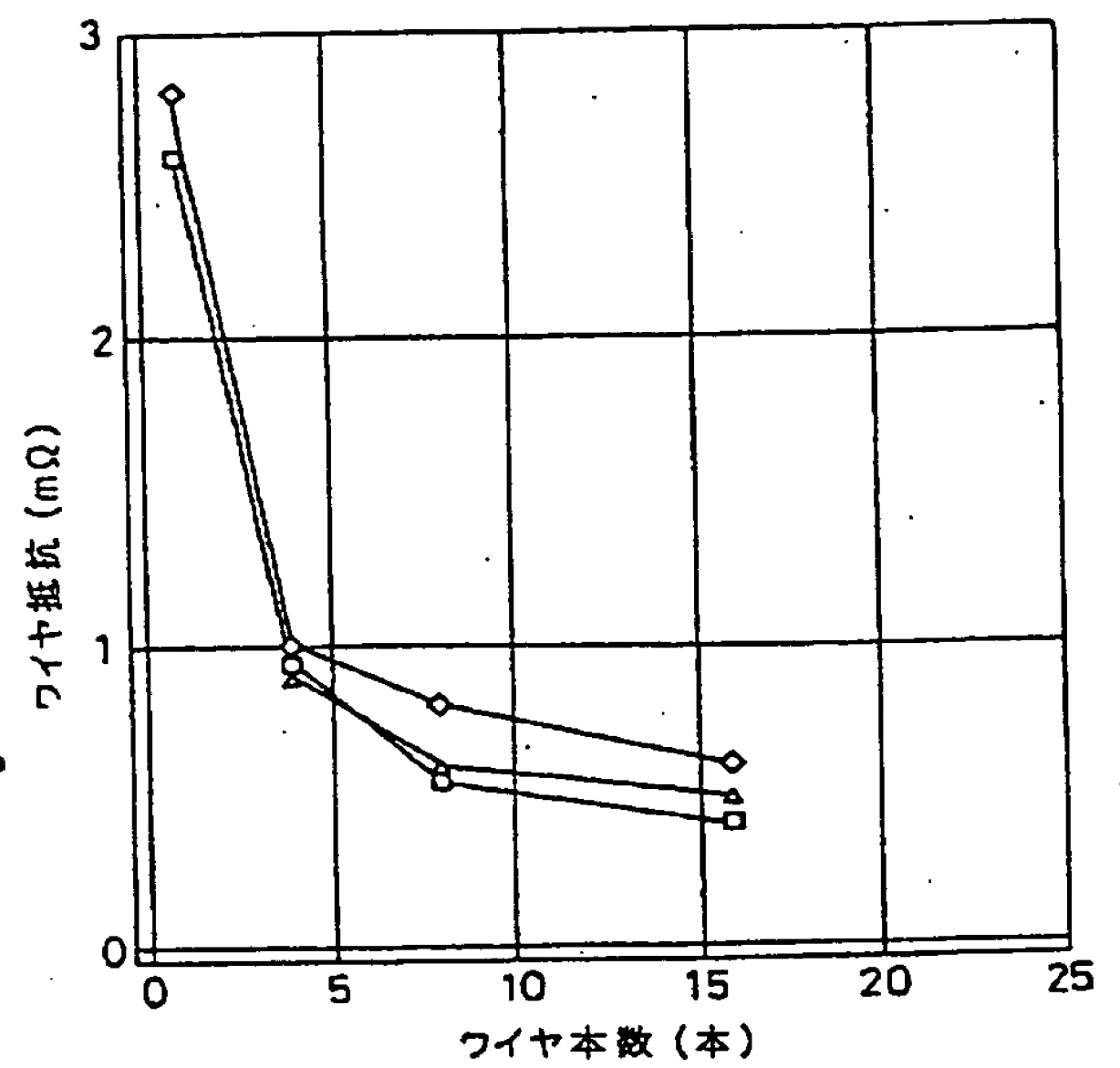
【図21】



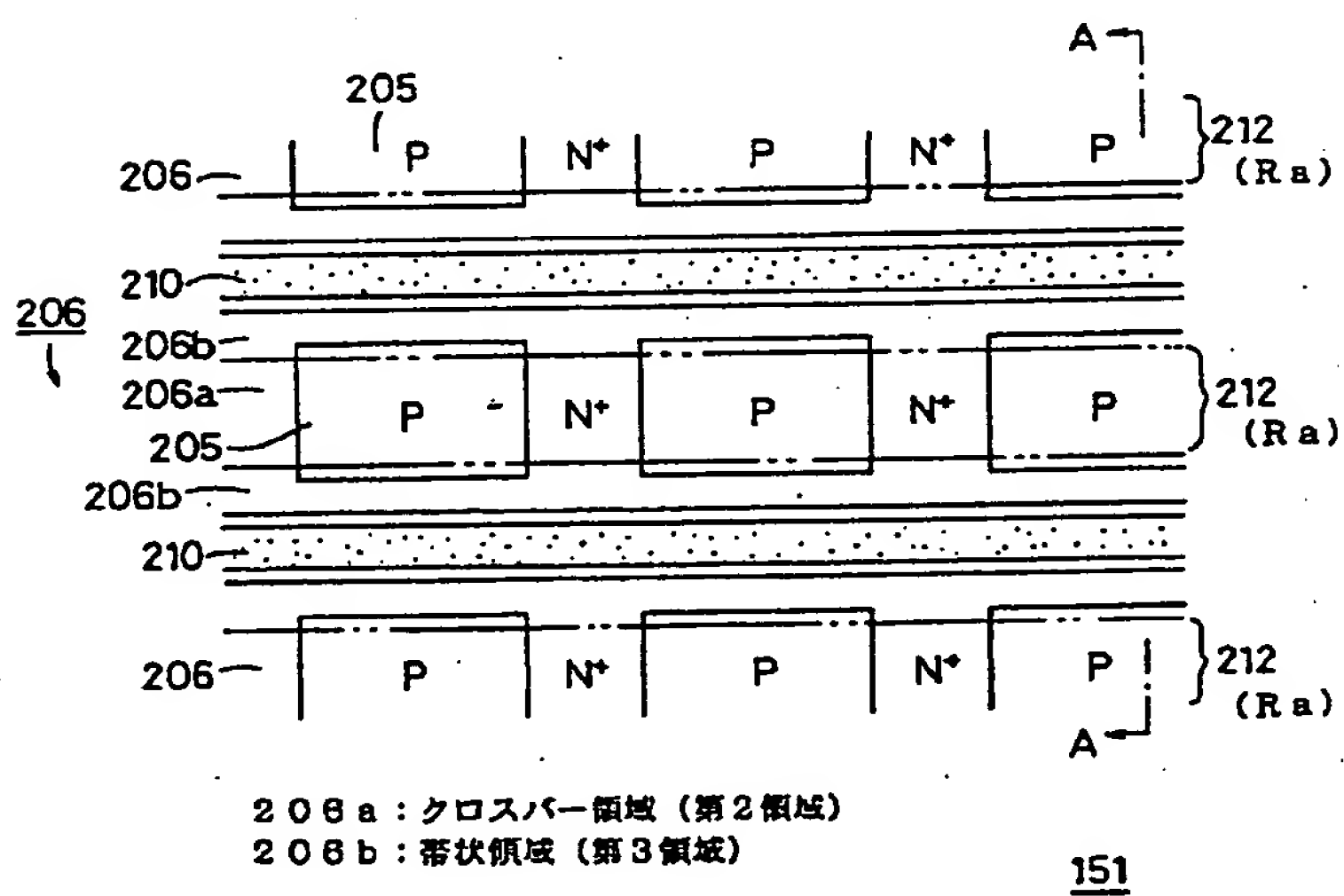
【図4】



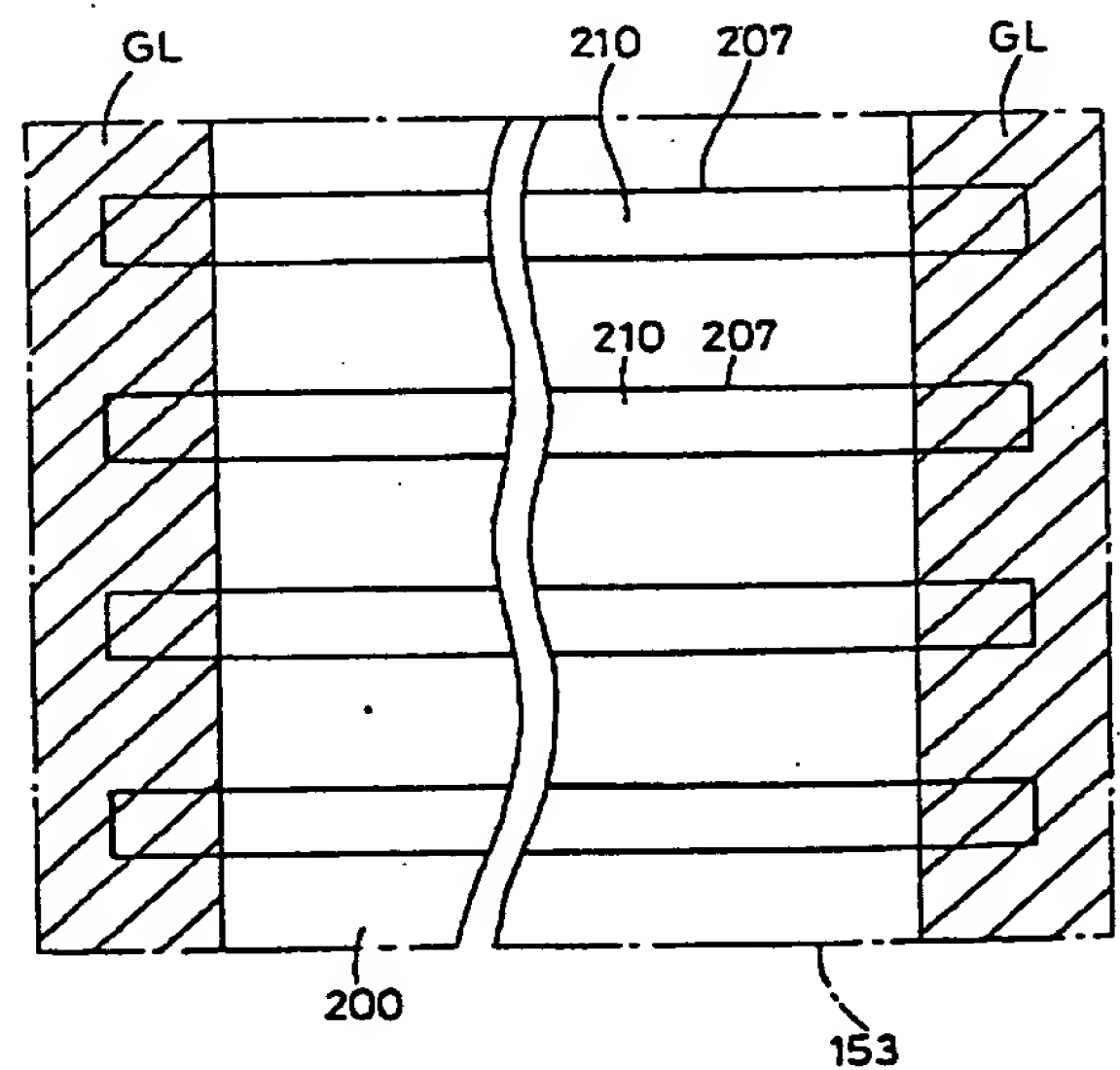
【図16】



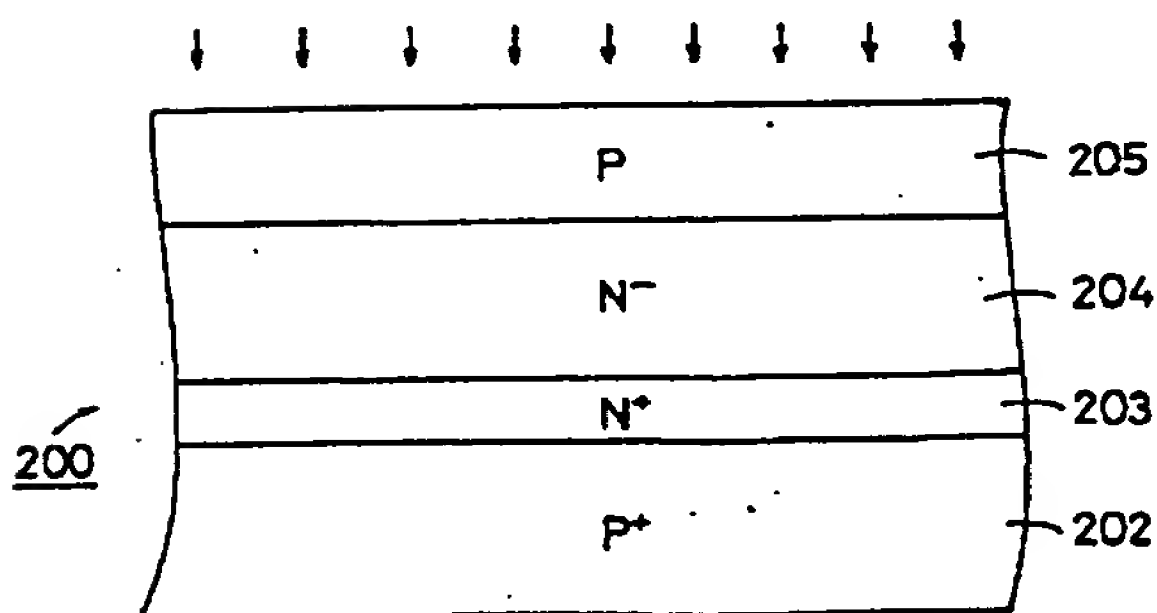
【図5】



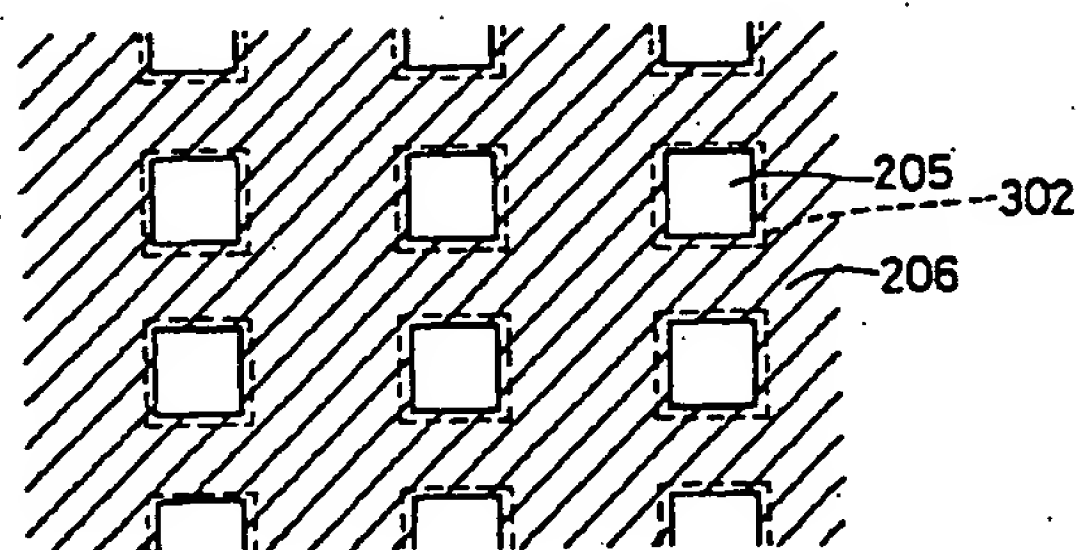
【図19】



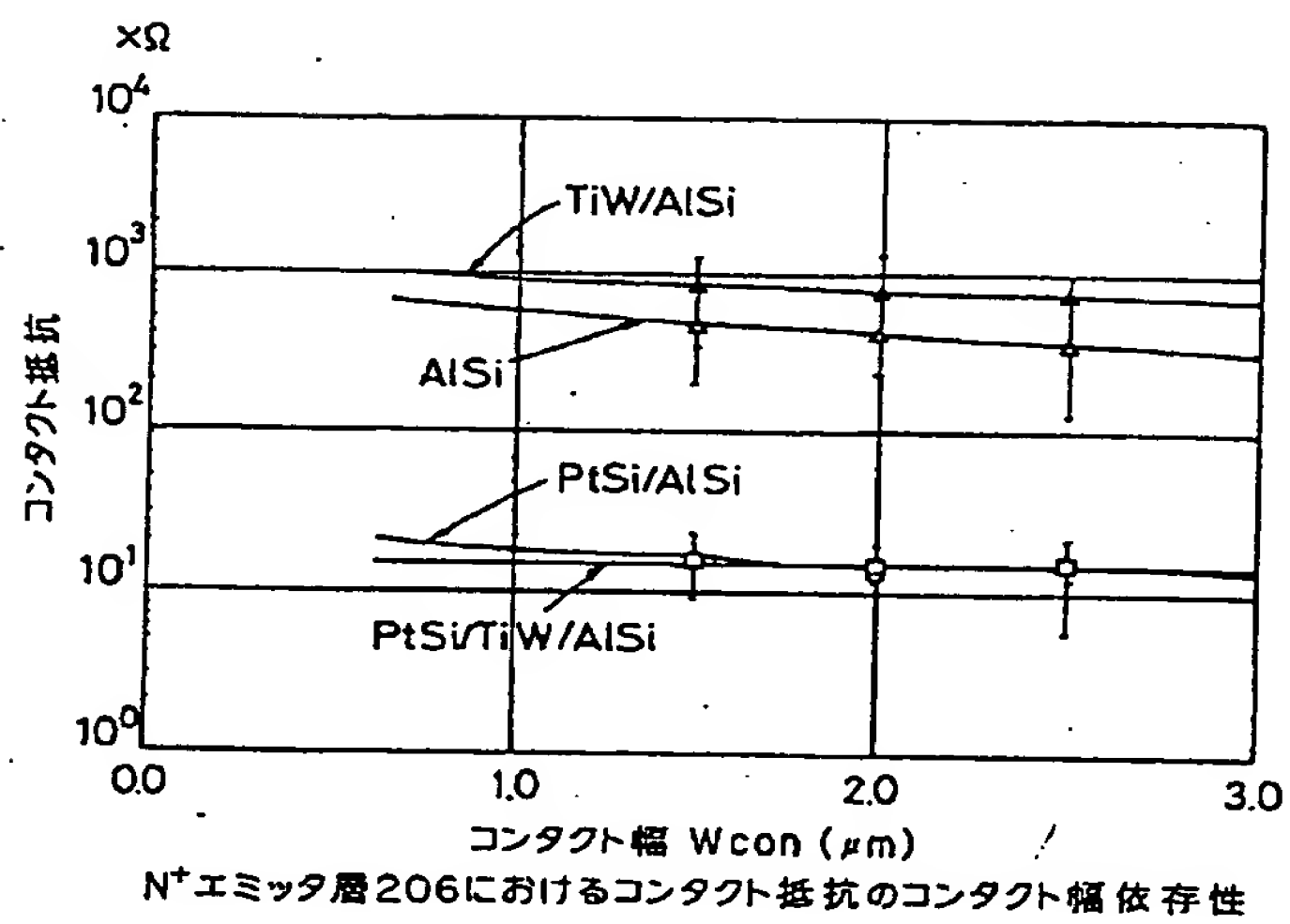
【図23】



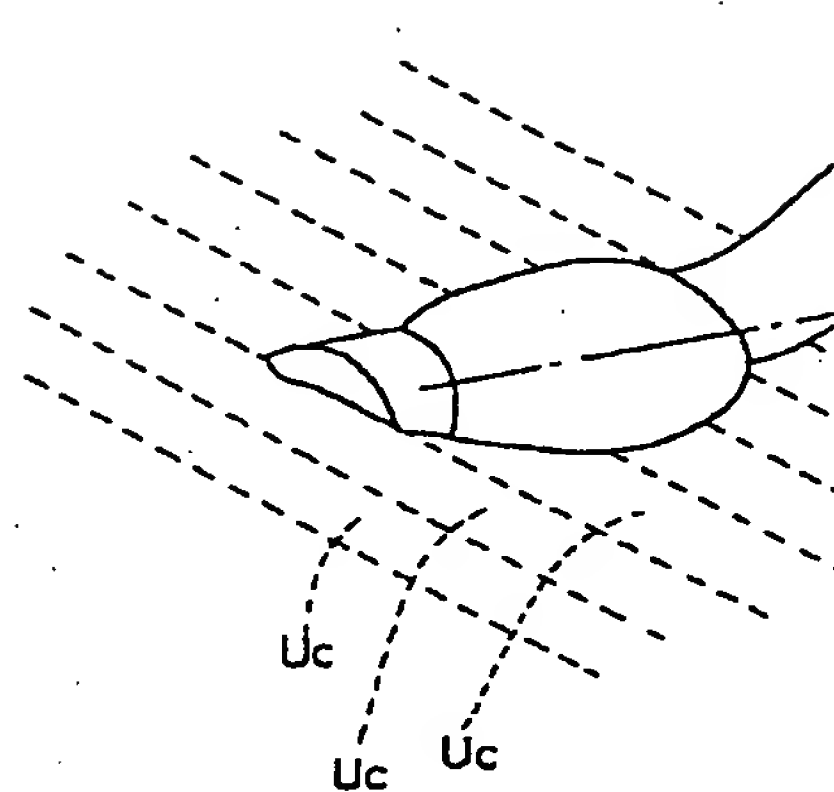
【図25】



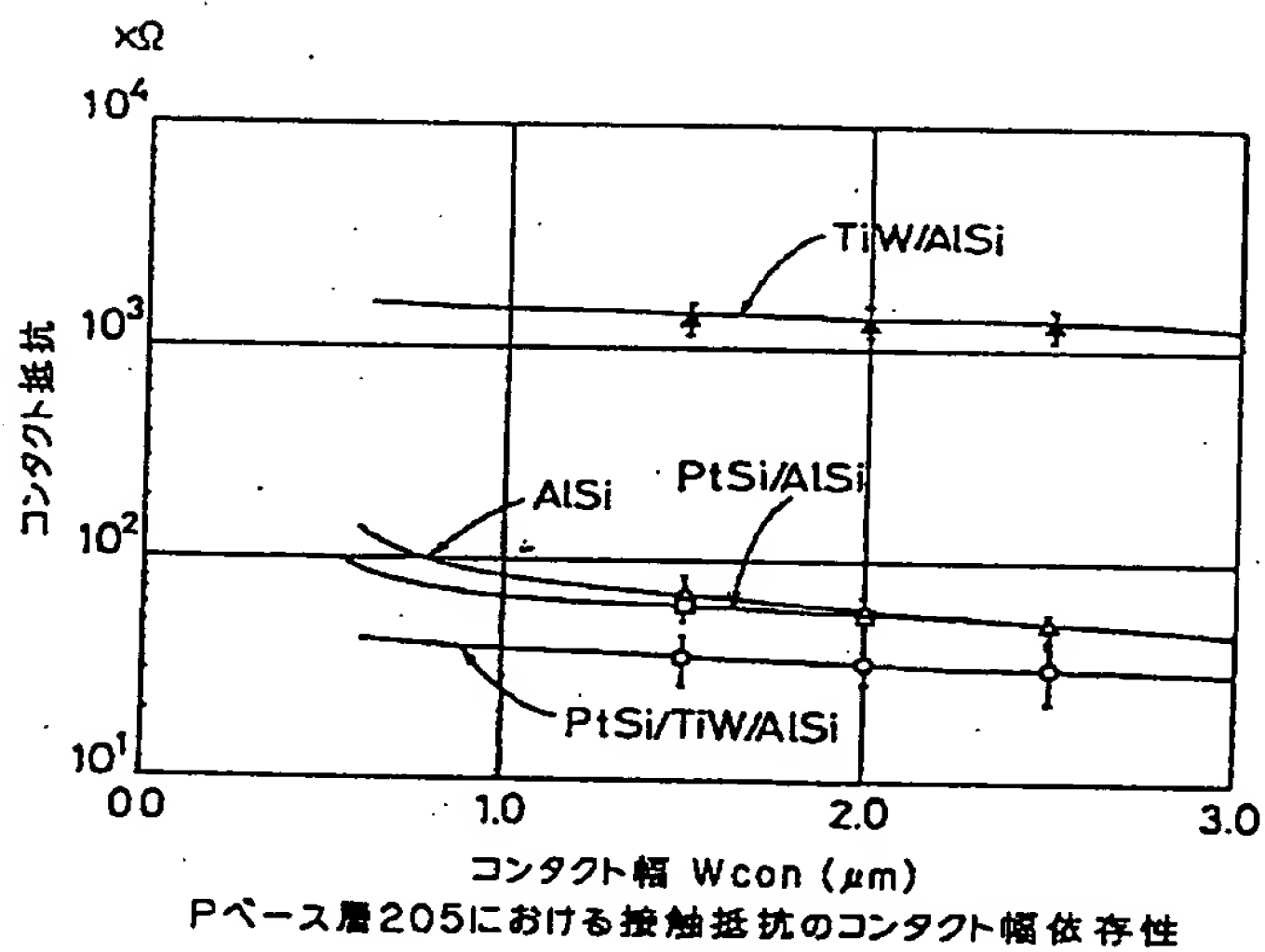
【図 7】



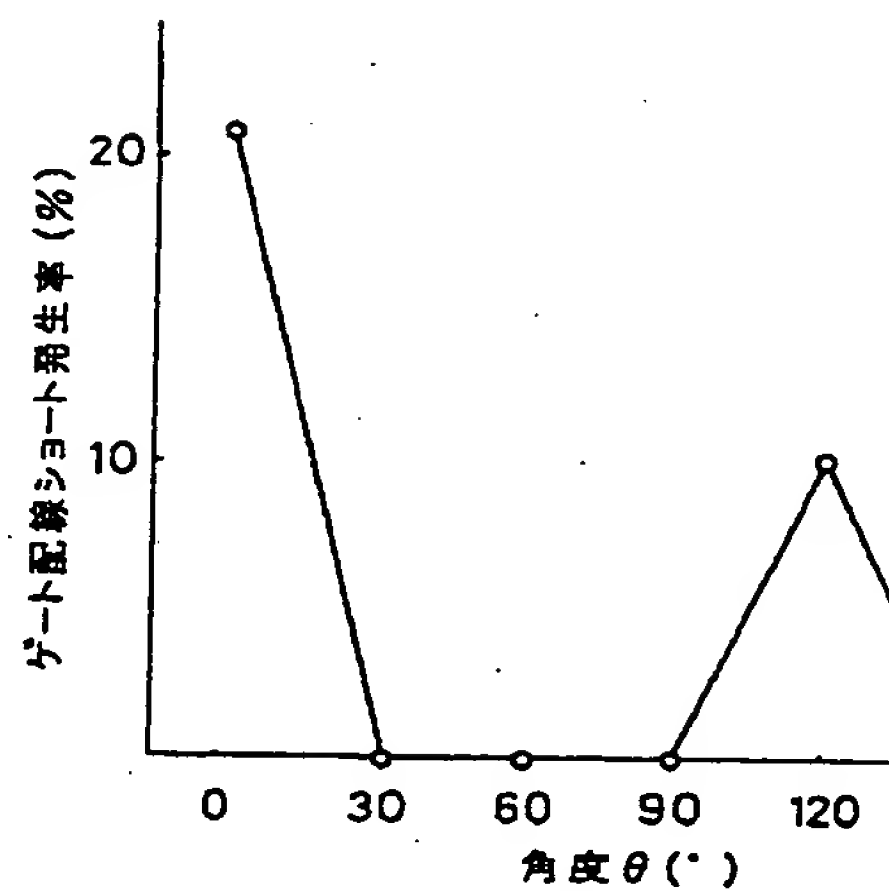
【図 17】



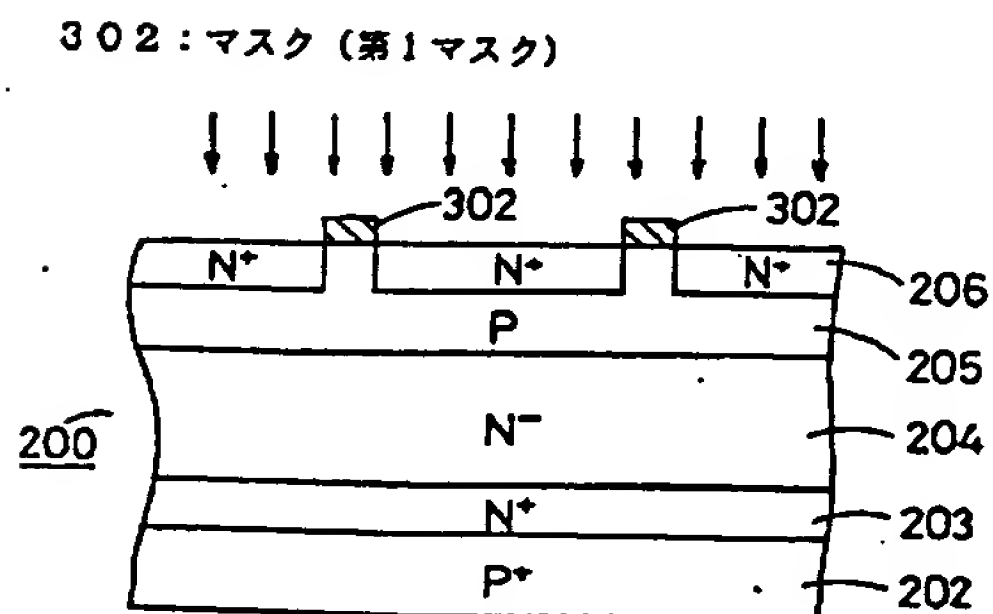
【図 8】



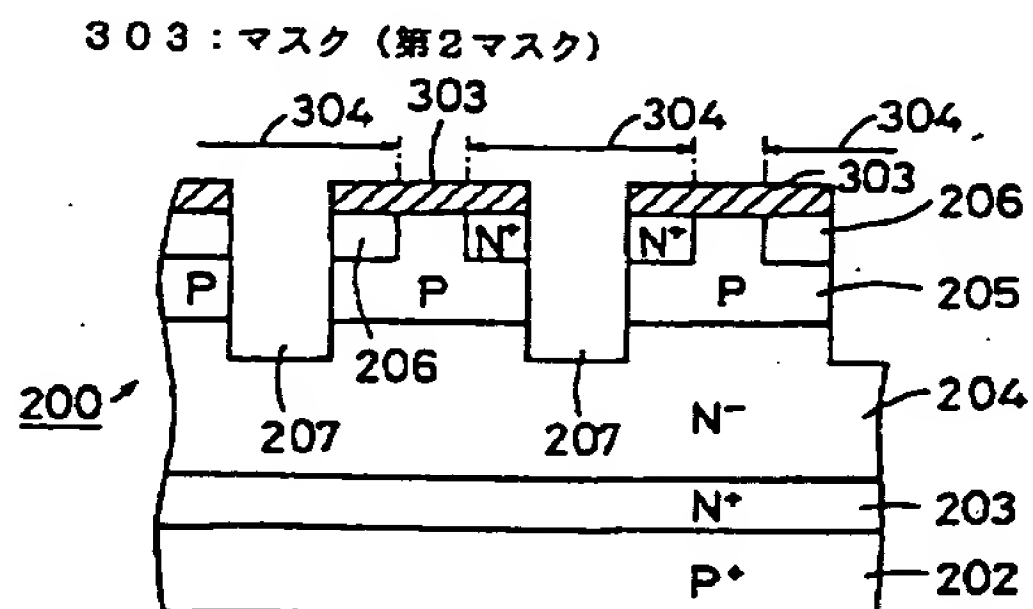
【図 18】



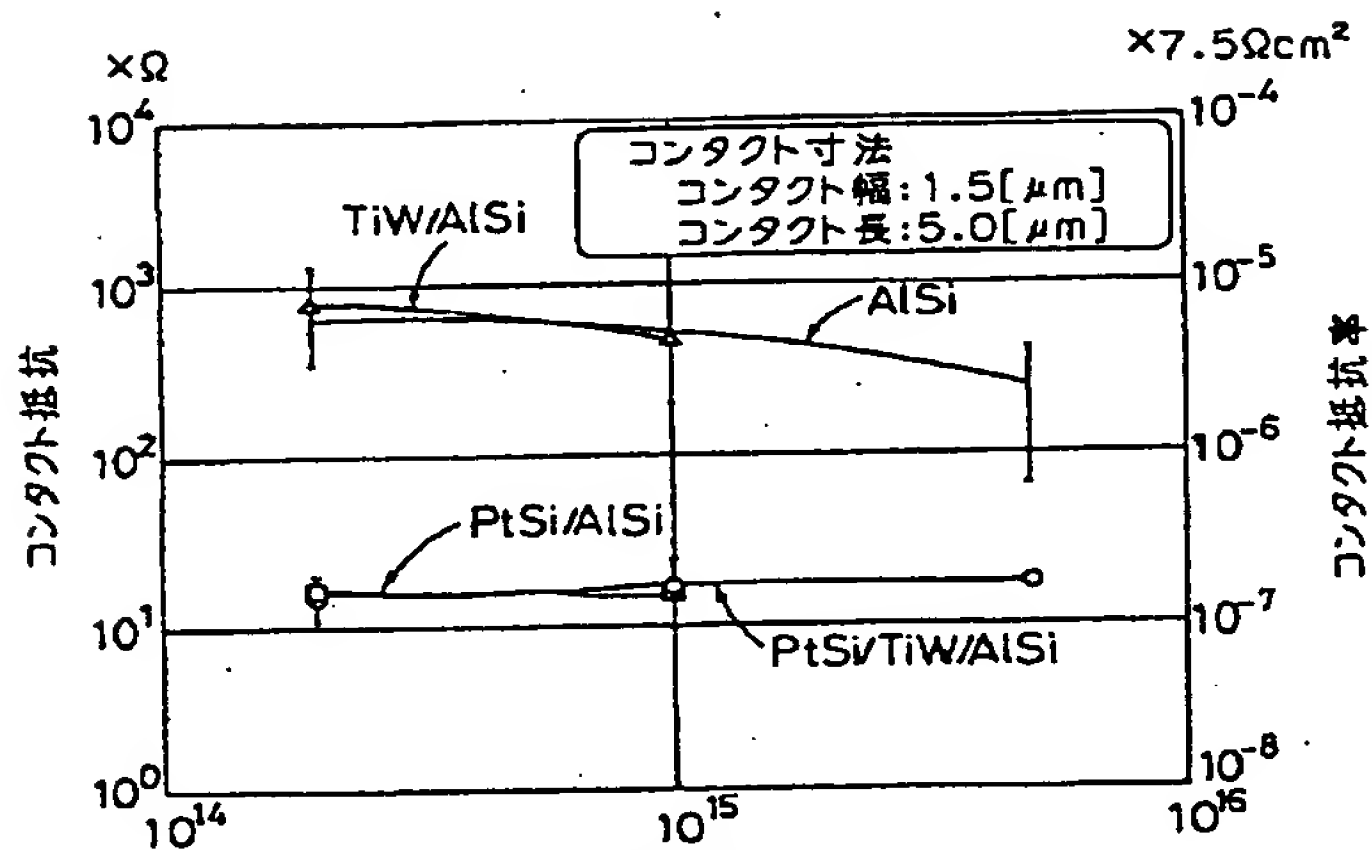
【図 24】



【図 26】

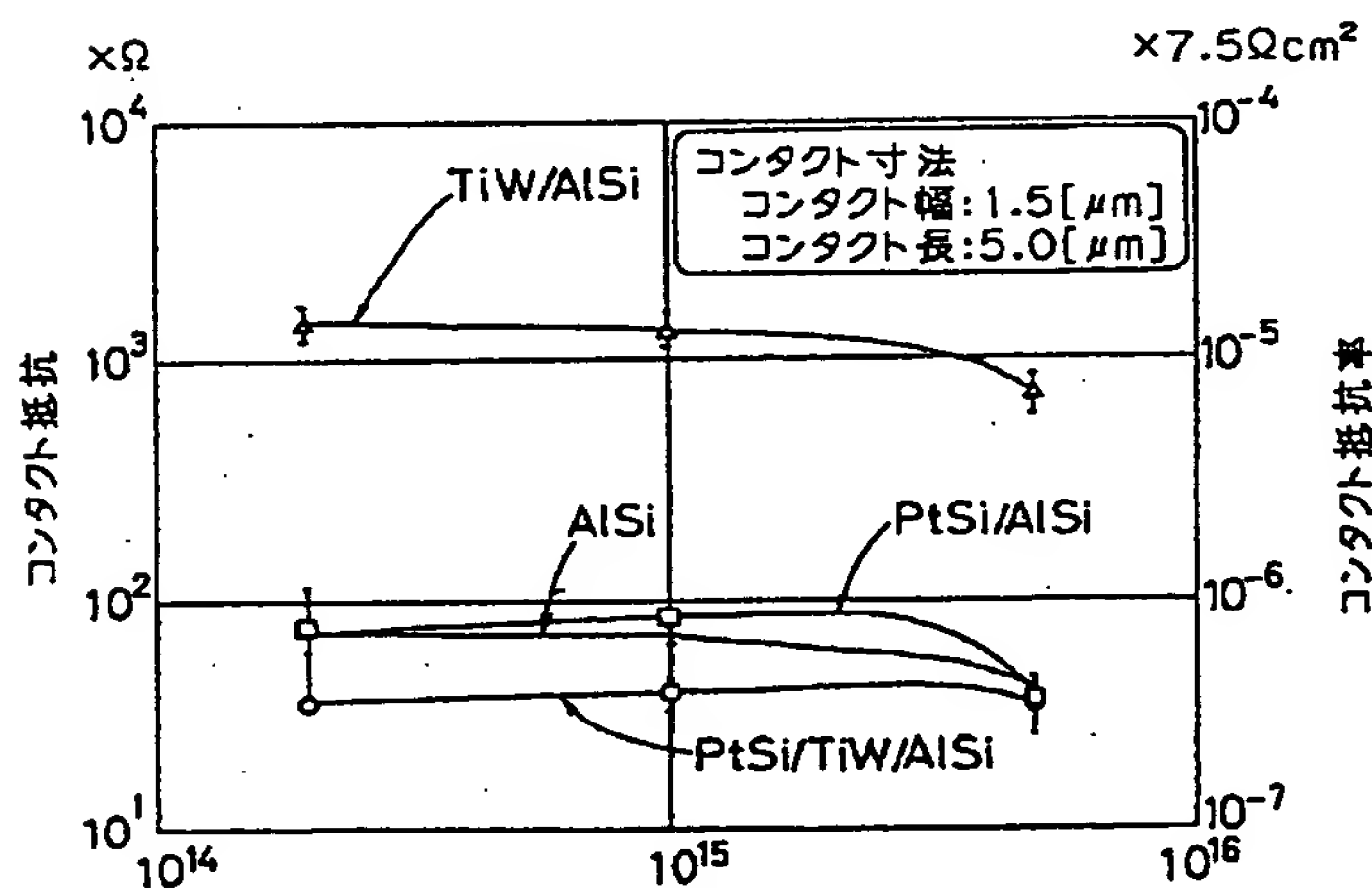


【図9】



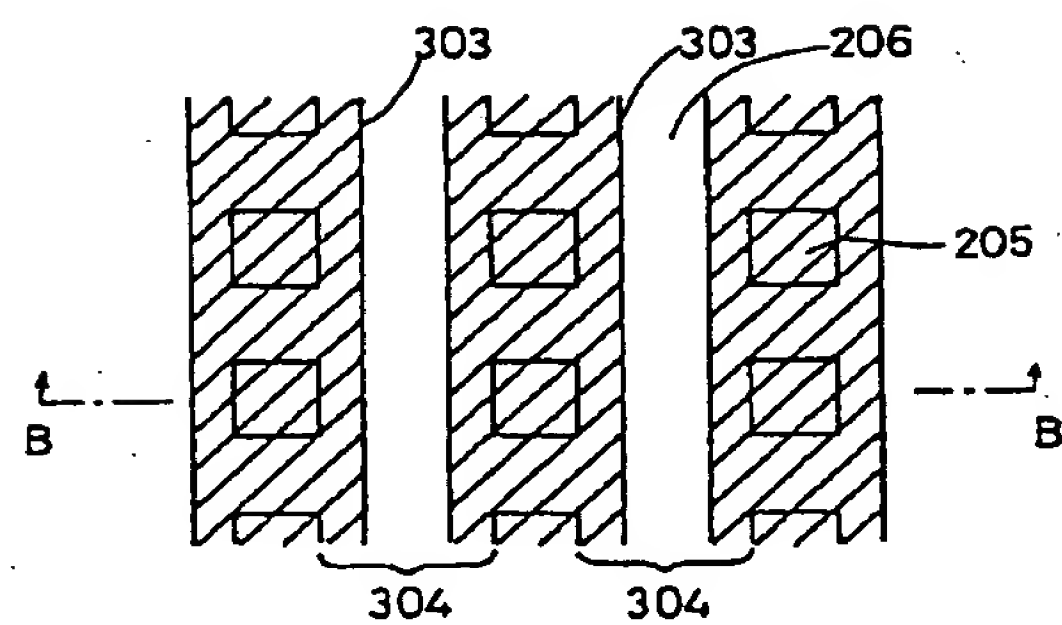
N⁺エミッタ層206におけるコンタクト抵抗の不純物濃度依存性

【図10】



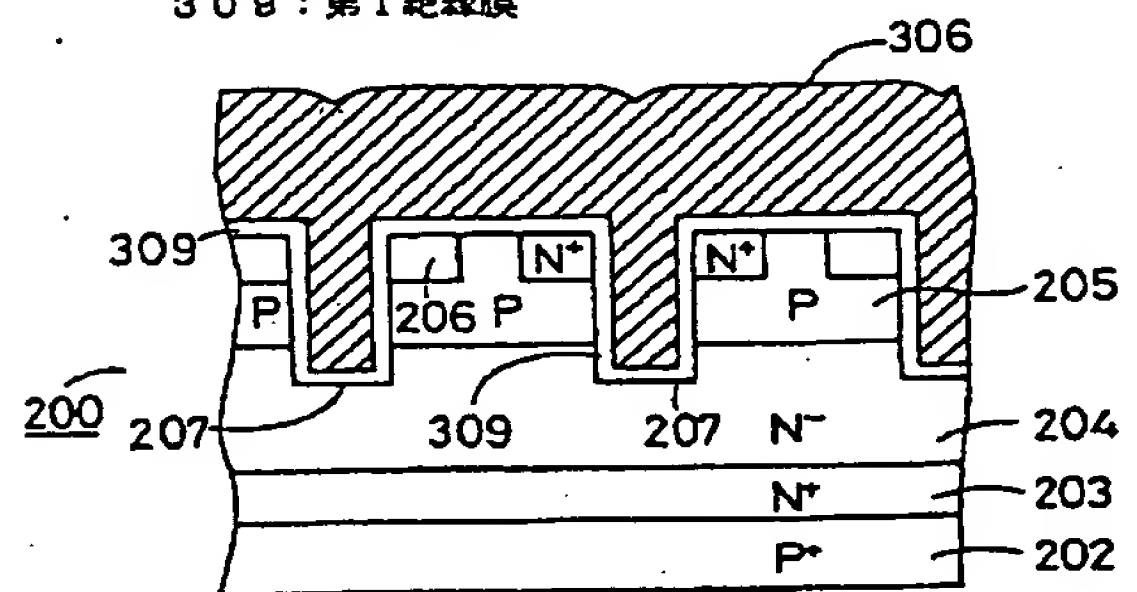
Pベース層205におけるコンタクト抵抗の不純物濃度依存性

【図27】

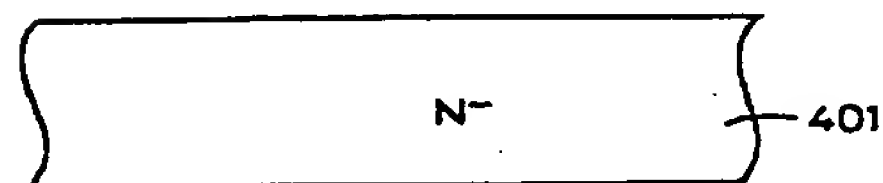


【図28】

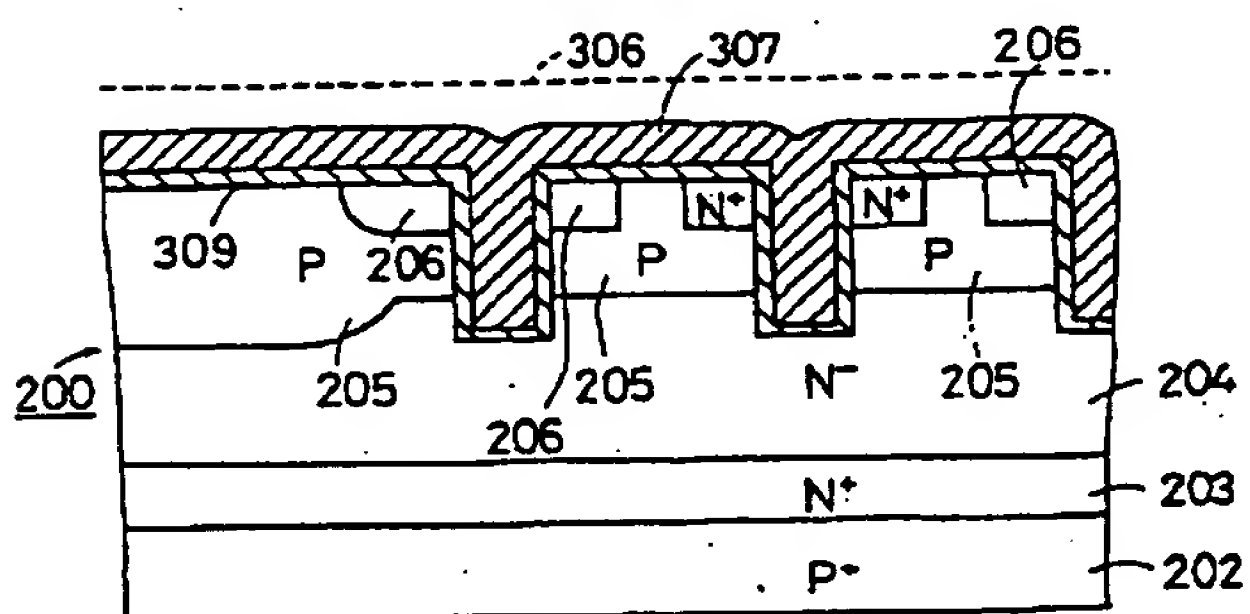
306: ポリシリコン層
308: 第1絶縁膜



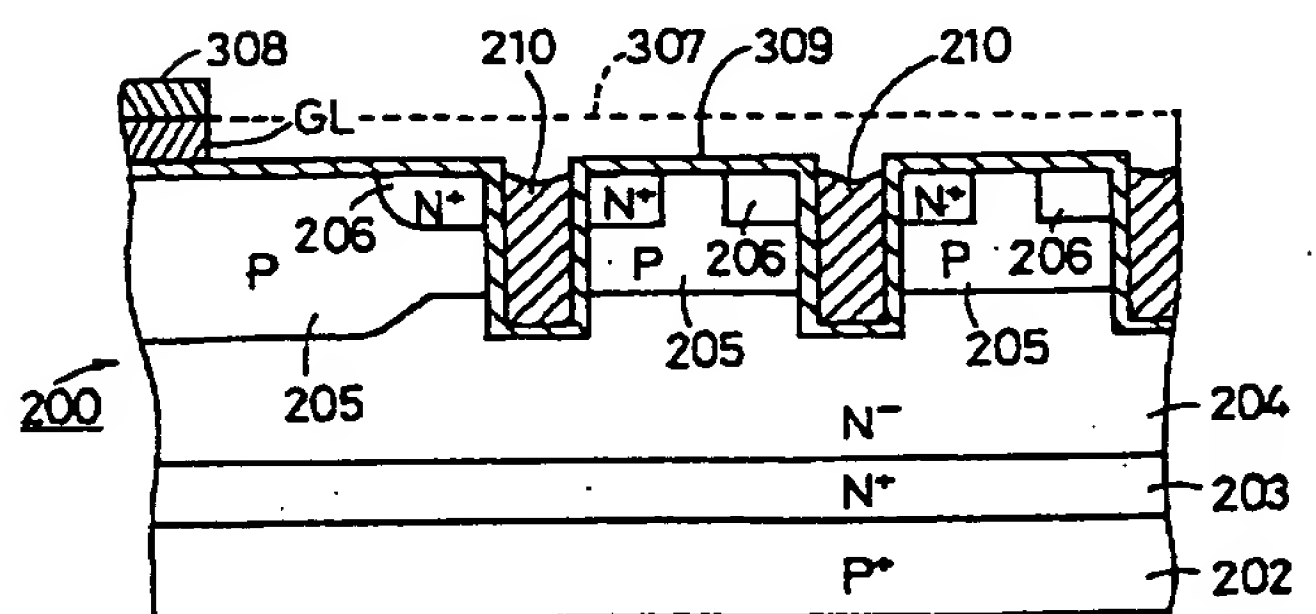
【図38】



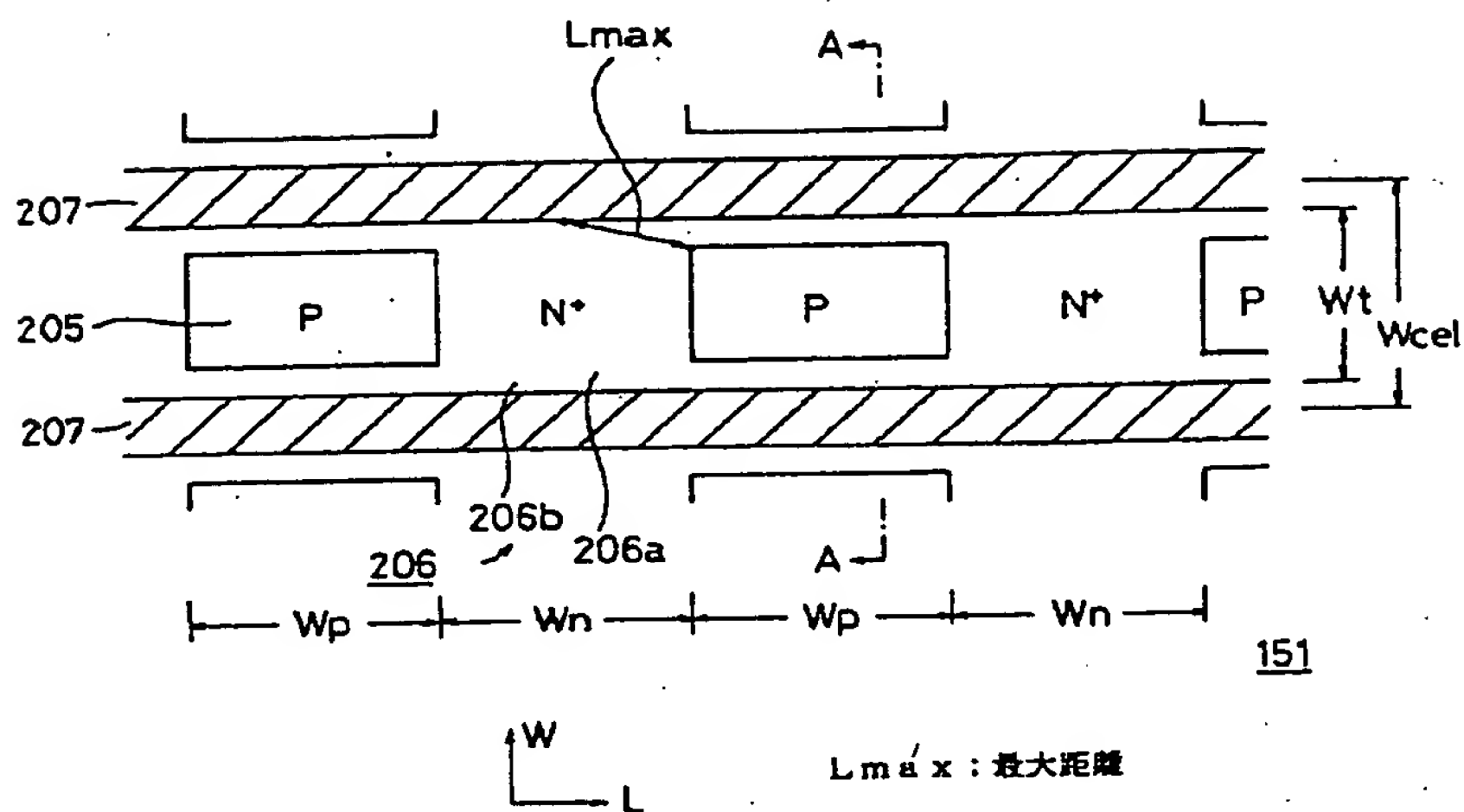
【図29】



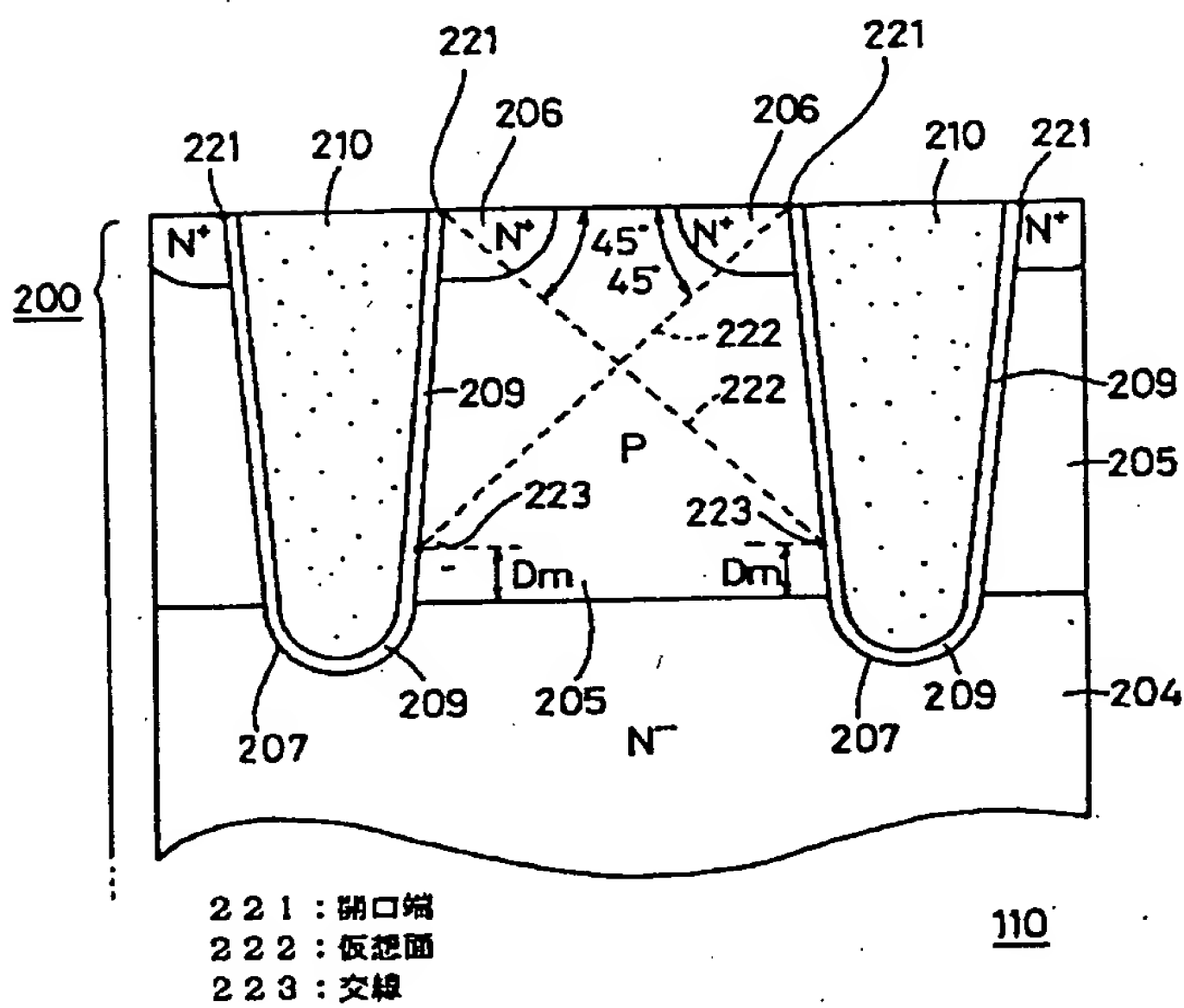
【図30】



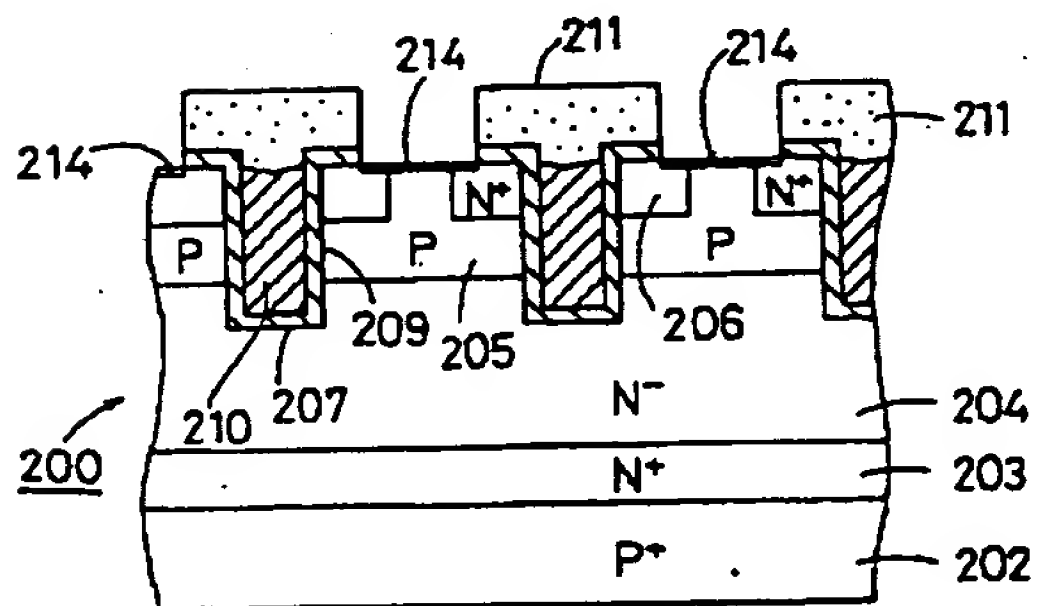
【図11】



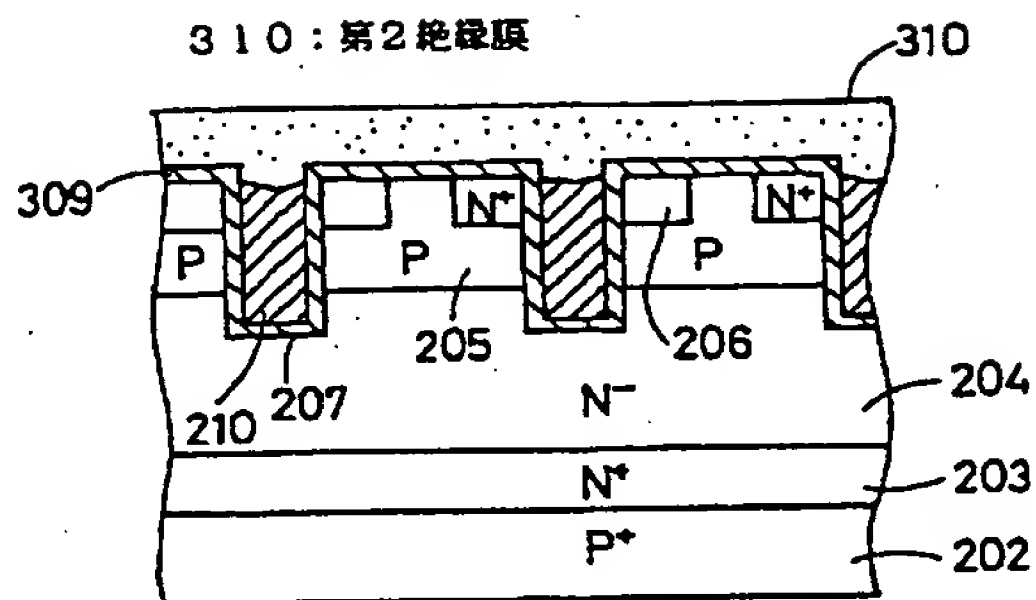
【図12】



【図33】

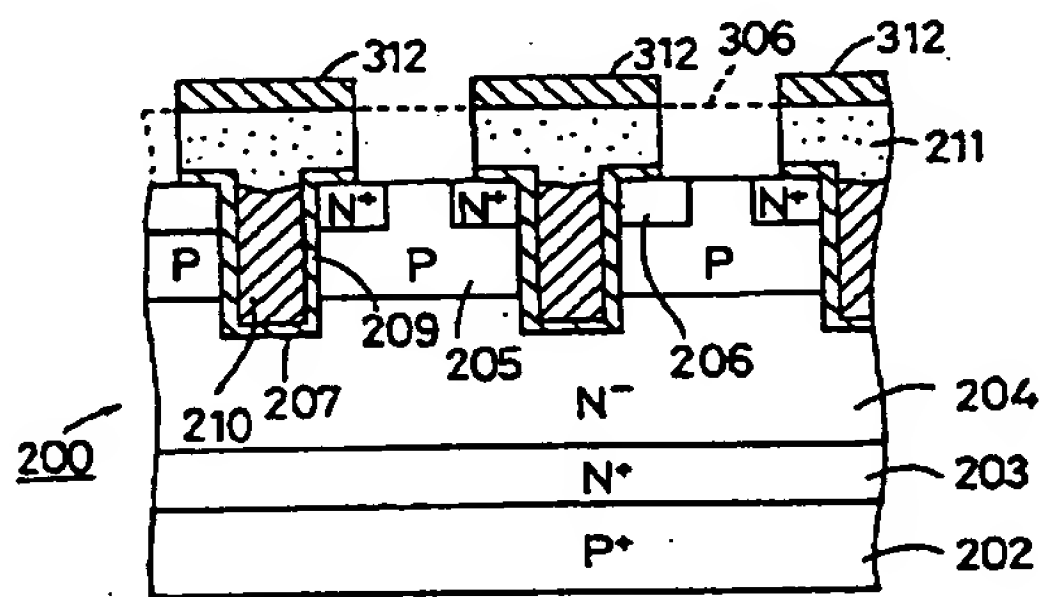


【図31】

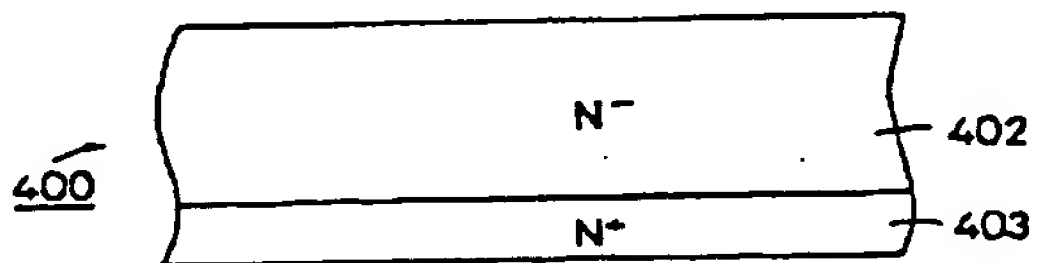


【図32】

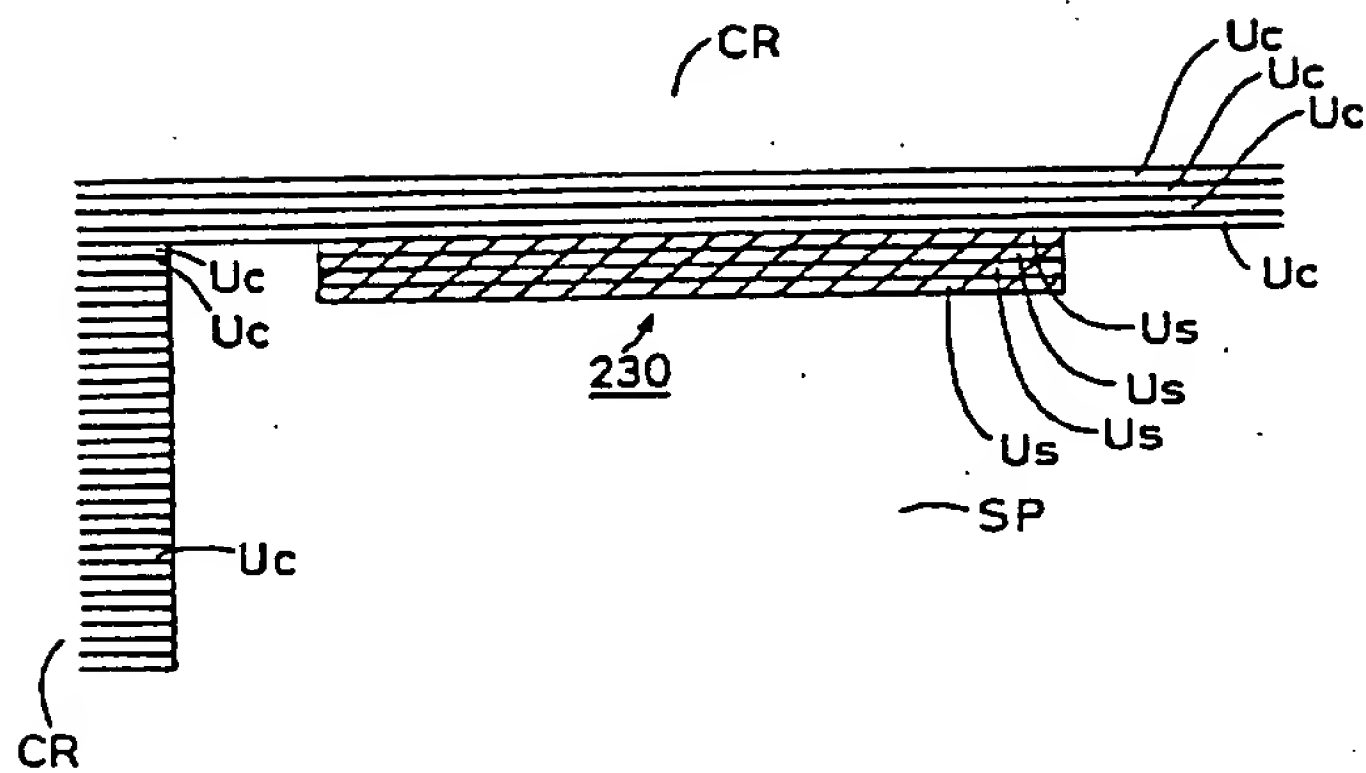
312: マスク (第3マスク)



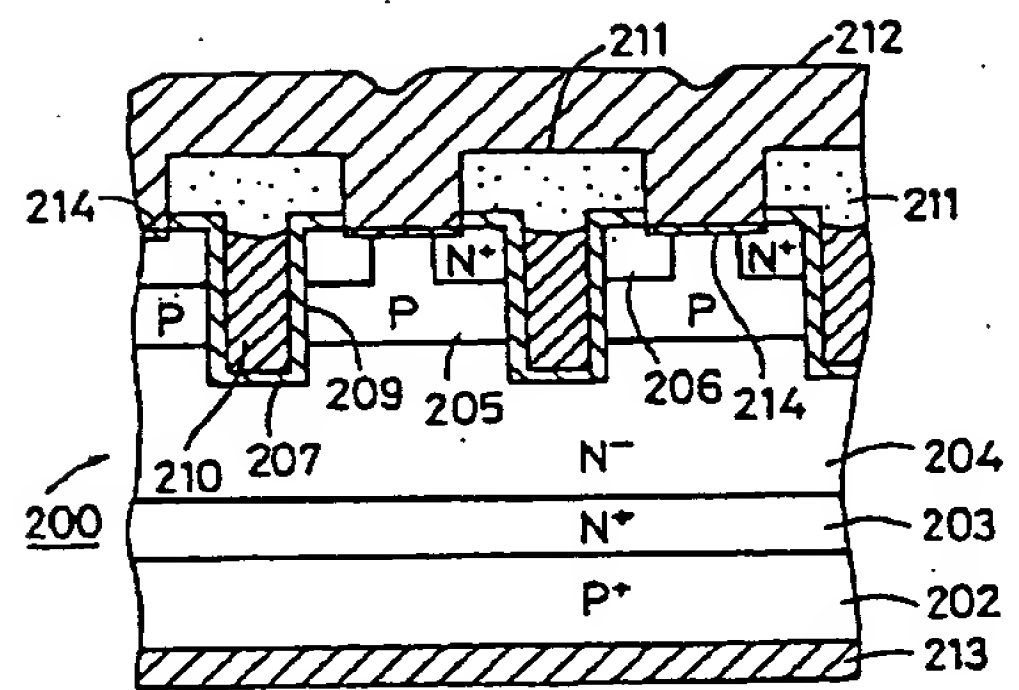
【図39】



【図 13】



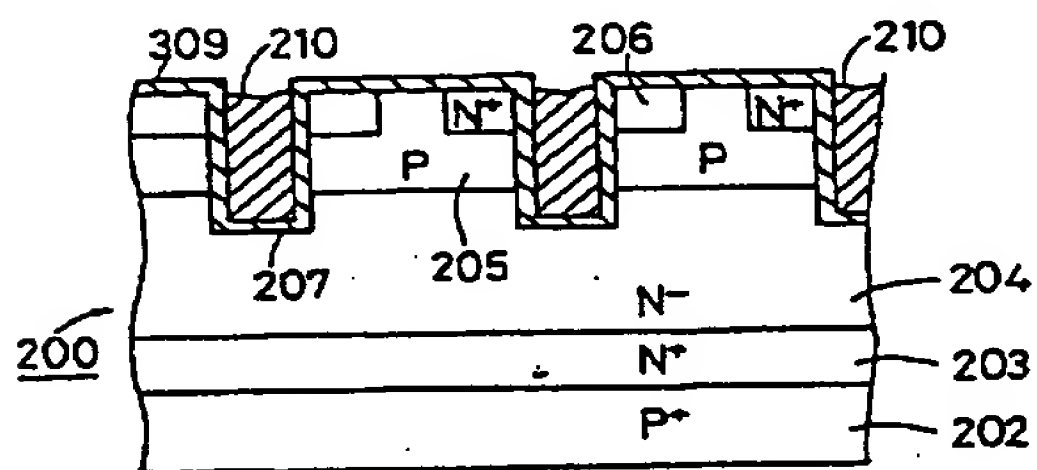
【図 34】



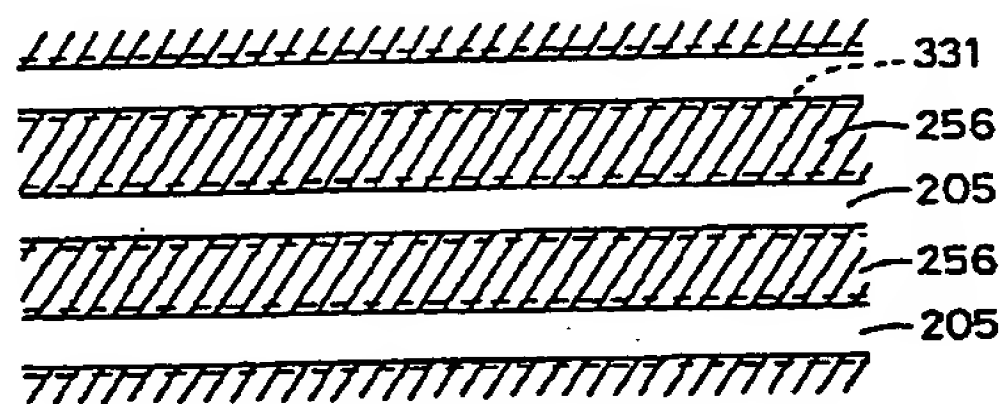
230 : センス領域 (センシング手段)
Uc、Us : ユニット・セル (絶縁ゲート型半導体素子)

152

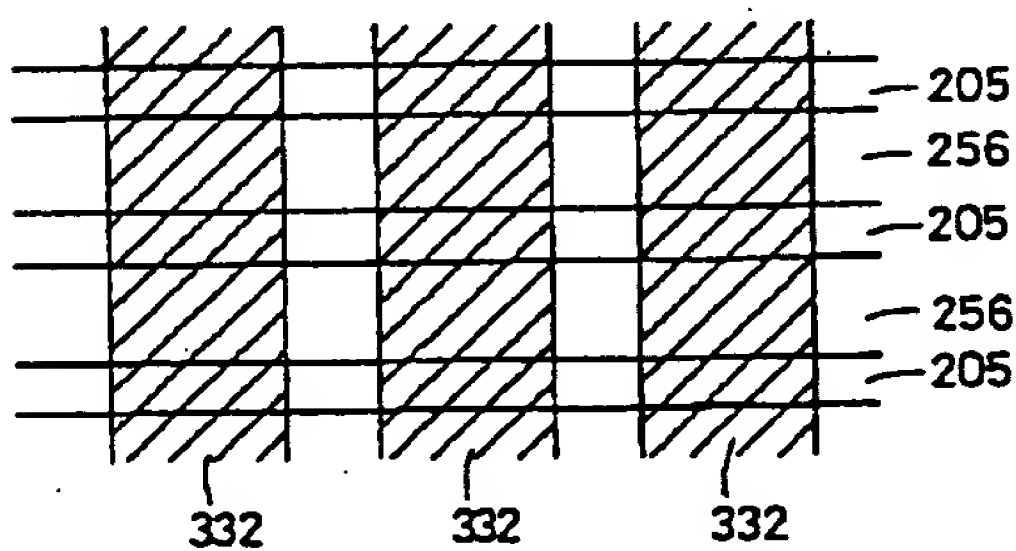
【図 35】



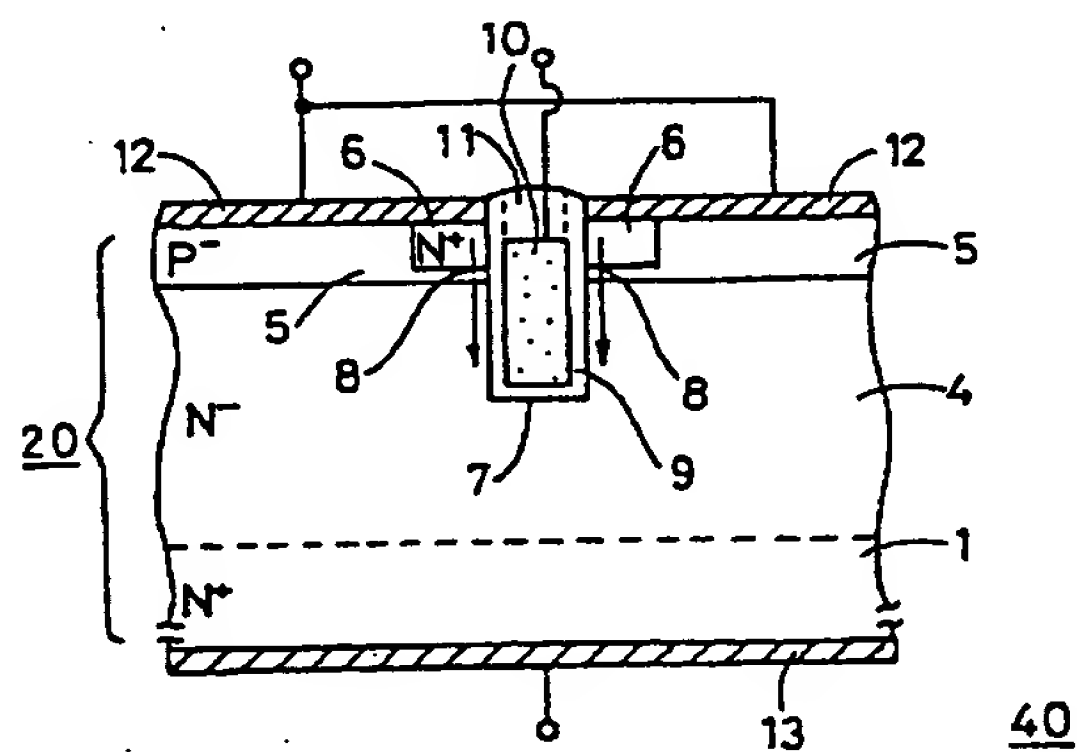
【図 36】



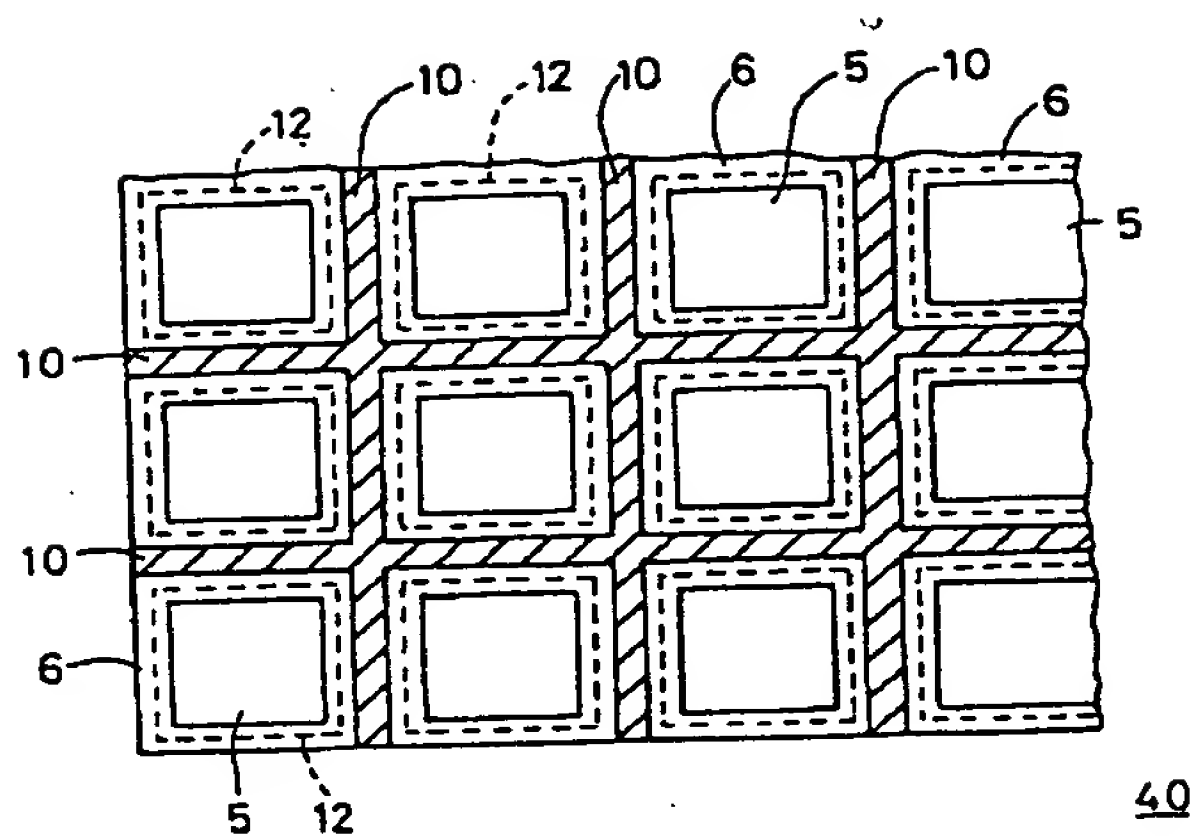
【図 37】



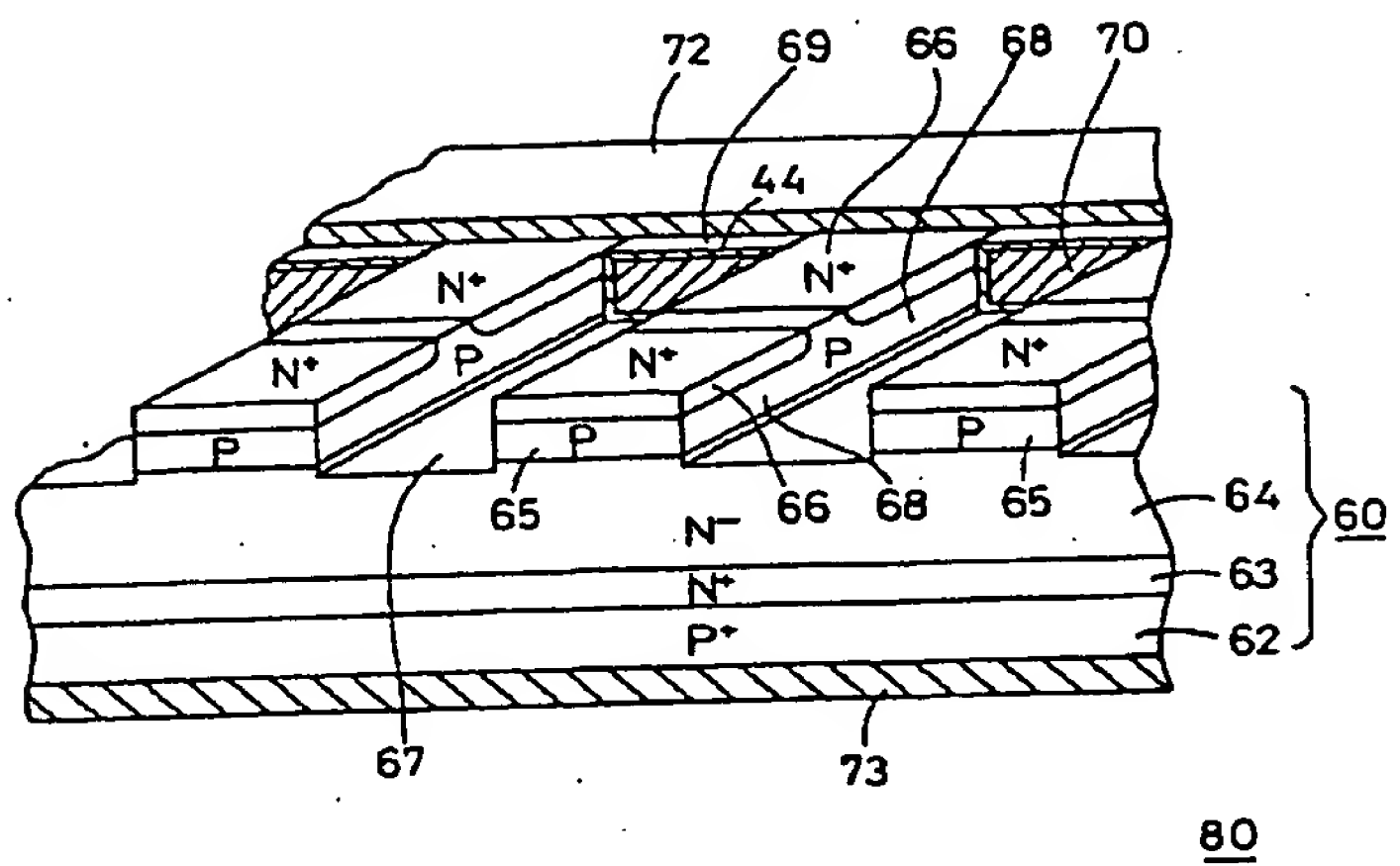
【図 40】



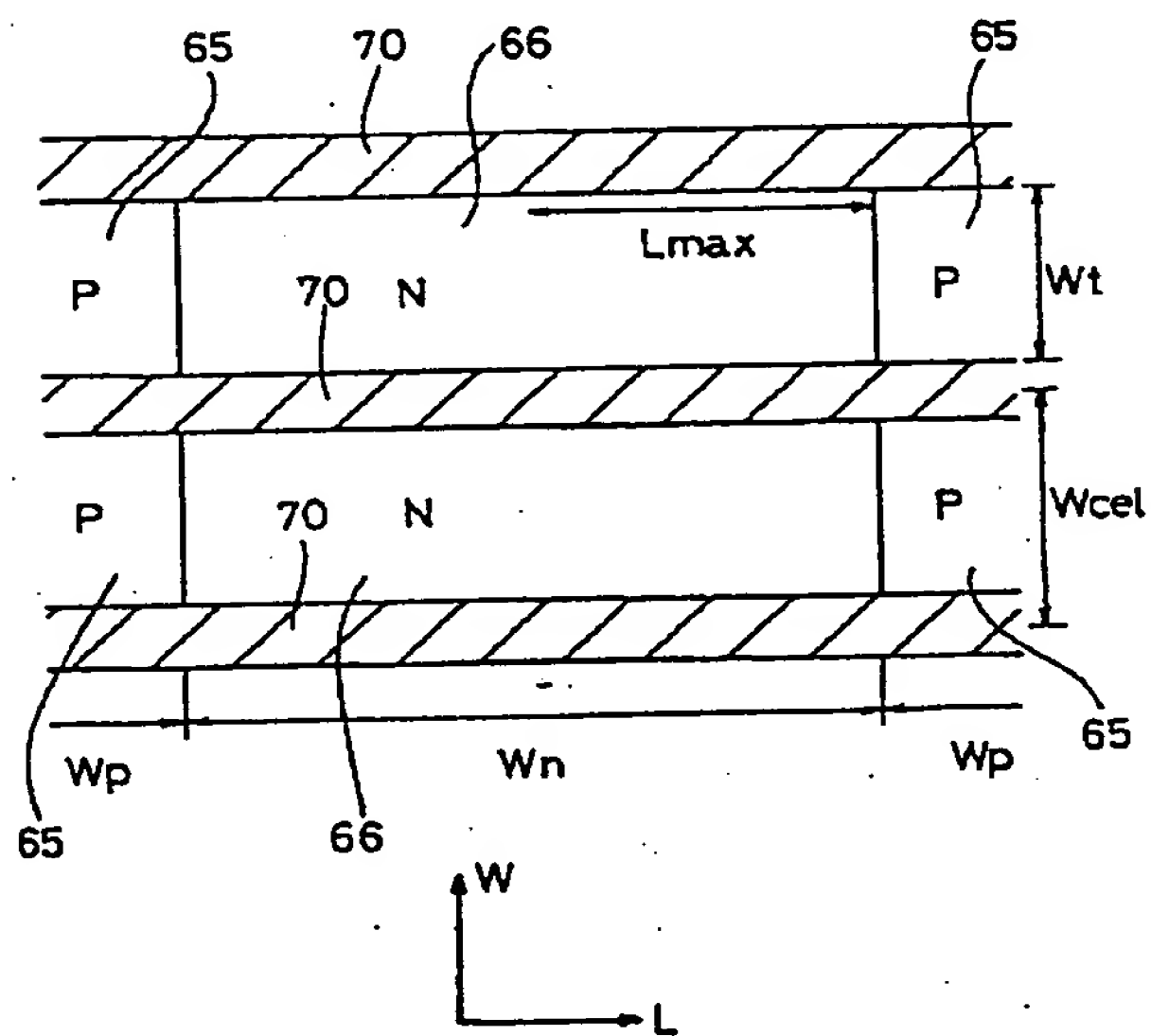
【図 4 1】



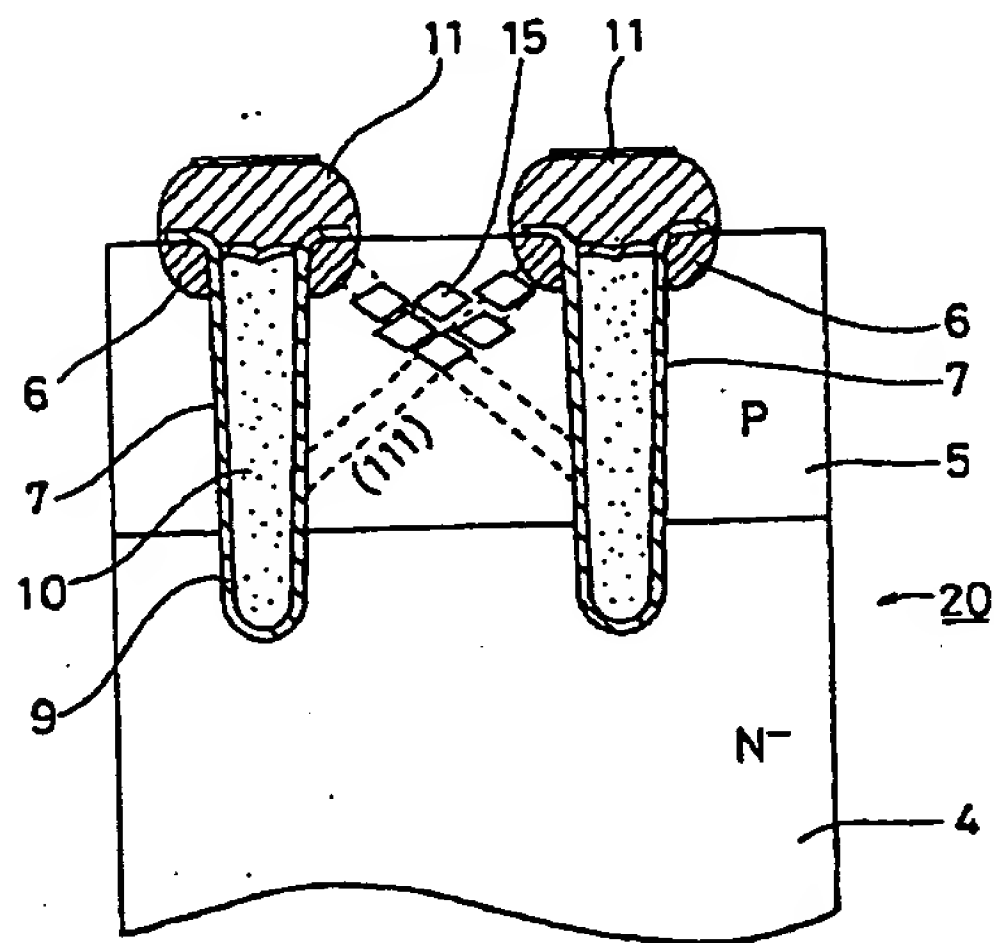
【図 4 2】



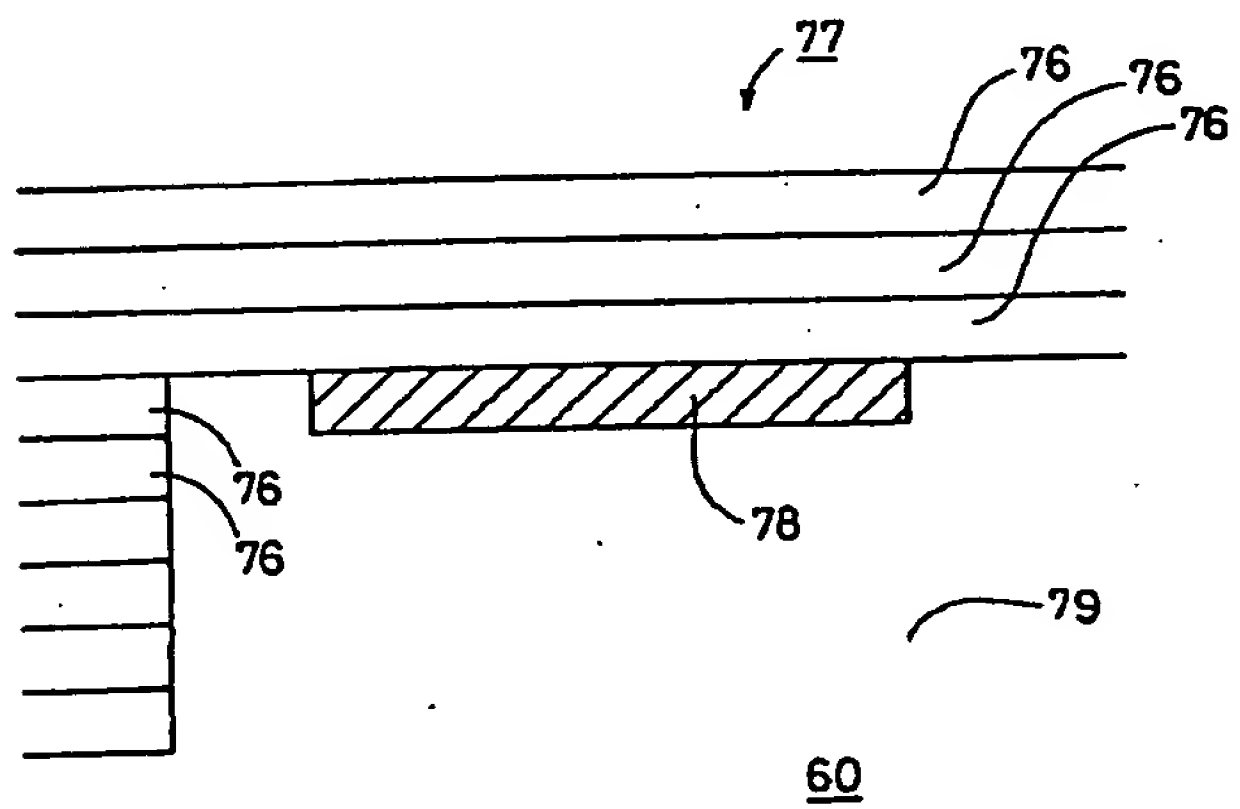
【図 4 3】



【図 4 4】



【図 4 5】



【手続補正書】

【提出日】平成6年6月30日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】請求項7

【補正方法】変更

【補正内容】

【請求項7】 第1導電形式の第1半導体層と、当該第1半導体層の上に積層された第2導電形式の第2半導体層と、当該第2半導体層の上面に選択的に形成された第1導電形式の第3半導体層と、を有する半導体基体を備え、前記半導体基体には、前記上主面に沿って実質的にストライプ状に配列された複数の溝が、前記上主面から前記第1半導体層にまで達するように形成されており、前記第2半導体層と前記第3半導体層は、隣合う前記溝に挟まれた前記上主面に選択的に露出しており、前記溝には、当該溝の内壁を覆うように形成されたゲート絶縁膜を挟んで、ゲート電極が埋め込まれており、前記上主面に選択的に露出する前記第2および第3半導体層の双方に電気的に接続され、前記ゲート電極とは絶縁された第1主電極と、前記半導体基体の下主面に電気的に接続された第2主電極と、を更に備える絶縁ゲート型半導体装置において、

前記第1主電極と前記第2主電極の間を流れる主電流の大きさを、所定の制限電流値を超えないように制限する過電流保護手段を更に備え、

前記第3半導体層と前記第2半導体層との境界面と前記溝との交線上の仮想的な点の中で、第2半導体層の前記上主面への露出面から最も遠い仮想点までの距離として規定される最大距離 L_{max} が、前記第2半導体層と前記第3半導体層との接合部に固有のビルト・イン・ポテンシャル V_{pn} 、前記第1主電極と前記第2主電極との間に当該装置の定格電流に相当する大きさの主電流を通電したときに、前記第3半導体層の直下の前記第2半導体層を流れる電流の密度 J_{pr} 、前記制限電流値と定格電流との比率 m 、および前記第3半導体層の直下における前記第2半導体層の比抵抗 ρ_{pn} に対して、 $V_{pn} > \underline{m} \times J_{pr} \times \rho_{pn} \times L_{max}$ で与えられるように、前記第3半導体層の形状が設定されていることを特徴とする絶

フロントページの続き

(72)発明者 原田 真名

兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社ユー・エル・エス・アイ開発研究
所内

縁ゲート型半導体装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0056

【補正方法】変更

【補正内容】

【0056】この発明にかかる請求項7に記載の絶縁ゲート型半導体装置は、第1導電形式の第1半導体層と、当該第1半導体層の上に積層された第2導電形式の第2半導体層と、当該第2半導体層の上面に選択的に形成された第1導電形式の第3半導体層と、を有する半導体基体を備え、前記半導体基体には、前記上主面に沿って実質的にストライプ状に配列された複数の溝が、前記上主面から前記第1半導体層にまで達するように形成されており、前記第2半導体層と前記第3半導体層は、隣合う前記溝に挟まれた前記上主面に選択的に露出しており、前記溝には、当該溝の内壁を覆うように形成されたゲート絶縁膜を挟んで、ゲート電極が埋め込まれており、前記上主面に選択的に露出する前記第2および第3半導体層の双方に電気的に接続され、前記ゲート電極とは絶縁された第1主電極と、前記半導体基体の下主面に電気的に接続された第2主電極と、を更に備える絶縁ゲート型半導体装置において、前記第1主電極と前記第2主電極の間を流れる主電流の大きさを、所定の制限電流値を超えないように制限する過電流保護手段を更に備え、前記第3半導体層と前記第2半導体層との境界面と前記溝との交線上の仮想的な点の中で、第2半導体層の前記上主面への露出面から最も遠い仮想点までの距離として規定される最大距離 L_{max} が、前記第2半導体層と前記第3半導体層との接合部に固有のビルト・イン・ポテンシャル V_{pn} 、前記第1主電極と前記第2主電極との間に当該装置の定格電流に相当する大きさの主電流を通電したときに、前記第3半導体層の直下の前記第2半導体層を流れる電流の密度 J_{pr} 、前記制限電流値と定格電流との比率 m 、および前記第3半導体層の直下における前記第2半導体層の比抵抗 ρ_{pn} に対して、 $V_{pn} > \underline{m} \times J_{pr} \times \rho_{pn} \times L_{max}$ で与えられるように、前記第3半導体層の形状が設定されていることを特徴とする。

(72)発明者 湊 忠玄

兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社ユー・エル・エス・アイ開発研究
所内